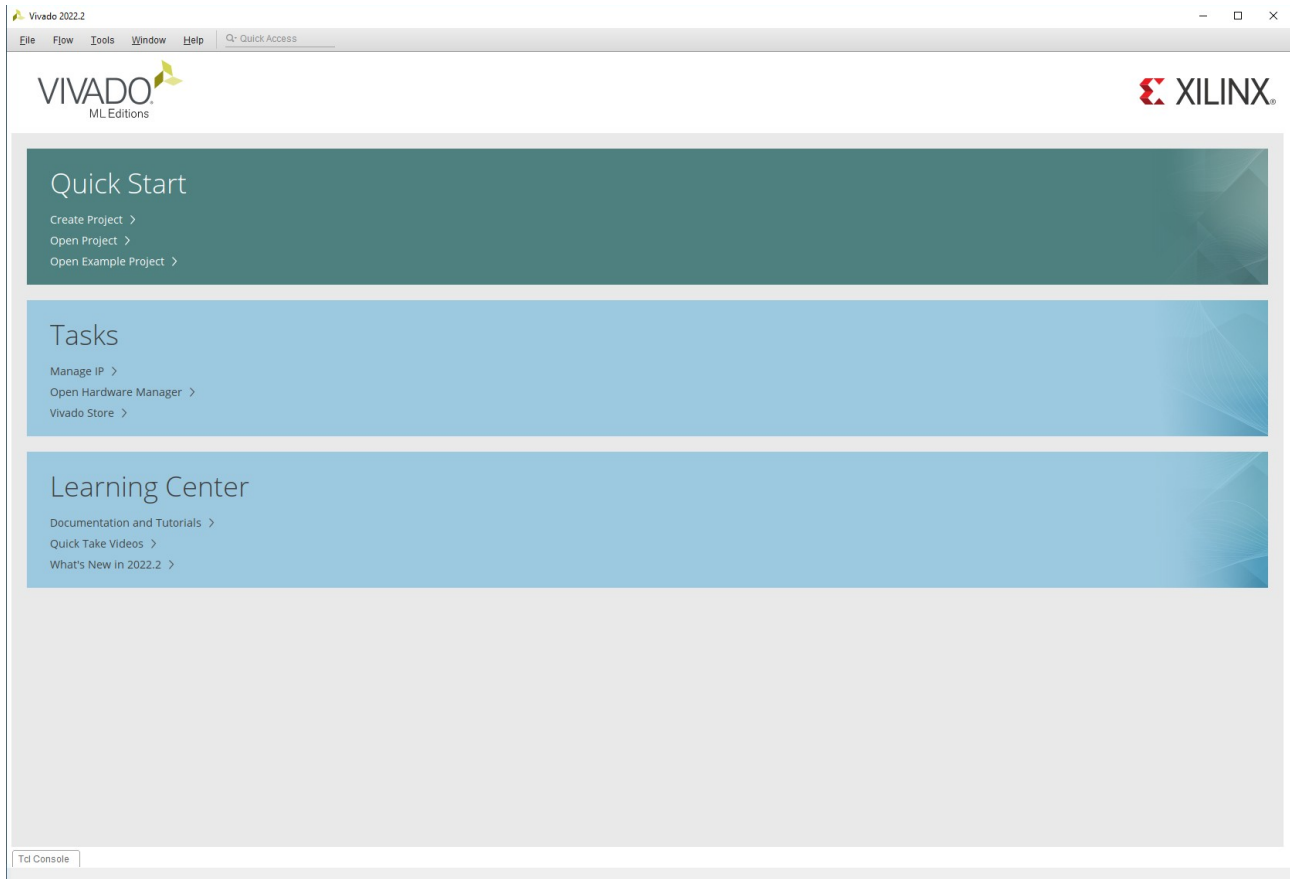


## **Demo03:**

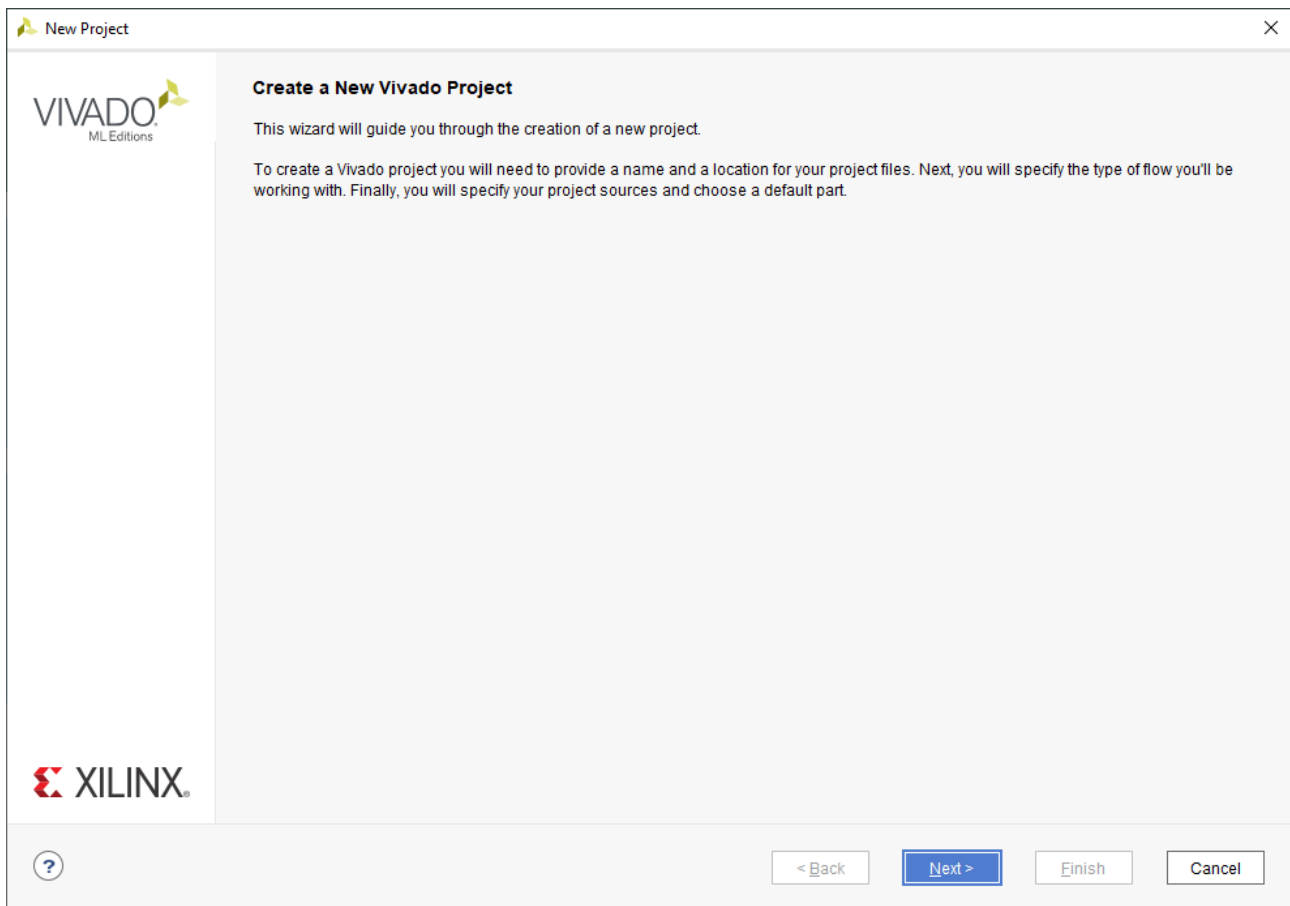
Es sollte ein Verzeichnis *Demo03* geben. Dort befindet sich im Unterordner *HLS* der Code für das HLS-IP.

Im Verzeichnis *Demo03* wird der Unterordner *VIVADO* angelegt.

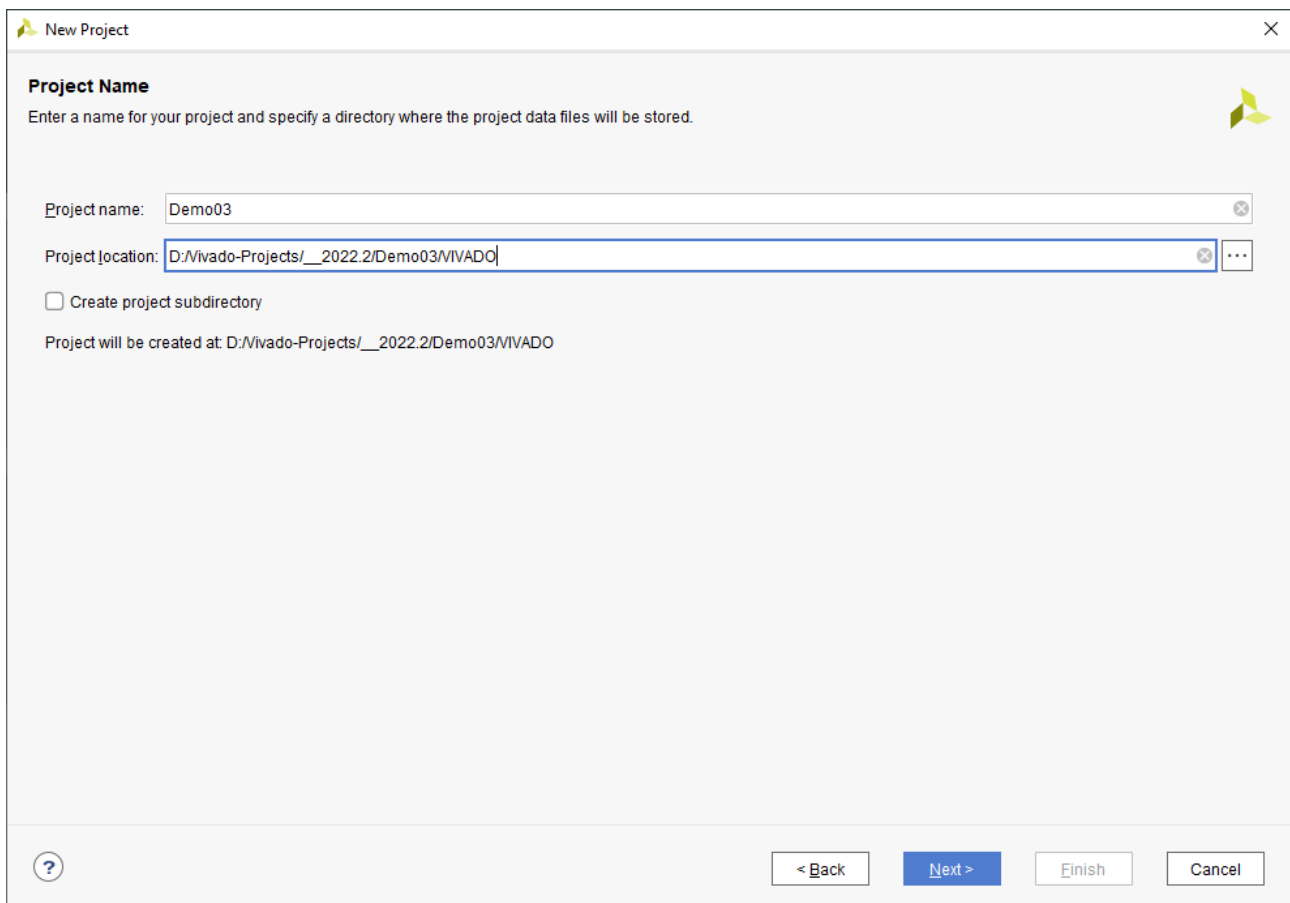
Vivado starten.



*Create Project* aufrufen.



Next anklicken.



Demo03 und das gewünschte Verzeichnis eintragen, dann Next anklicken.

New Project

### Project Type

Specify the type of project to create.

☒ **RTL Project**  
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.

☒ Do not specify sources at this time

☐ Project is an extensible Vitis platform

☐ **Post-synthesis Project**  
You will be able to add sources, view device resources, run design analysis, planning and implementation.

☐ Do not specify sources at this time

☐ **I/O Planning Project**  
Do not specify design sources. You will be able to view part/package resources.

☐ **Imported Project**  
Create a Vivado project from a Synplify Project File.

☐ **Example Project**  
Create a new Vivado project from a predefined template.

[?](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

Ggf. *Do not specify sources at this time* auswählen, dann *Next* anklicken.

New Project

### Default Part

Choose a default Xilinx part or board for your project.

**Parts | Boards**

[Reset All Filters](#)

Category:  Package:  Temperature:

Family:  Speed:  Static power:

Search:

Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	HNICX	BUFGs
xc7vx415tffv1158-2L	1158	350	257600	515200	880	0	2160		32
xc7vx415tffv1158-1	1158	350	257600	515200	880	0	2160		32
xc7vx415tffv1927-3	1927	600	257600	515200	880	0	2160		32
xc7vx415tffv1927-2	1927	600	257600	515200	880	0	2160		32
xc7vx415tffv1927-1	1927	600	257600	515200	880	0	2160		32
xc7vx415tffv1927-1	1927	600	257600	515200	880	0	2160		32
xc7vx485tffg1157-3	1157	600	303600	607200	1030	0	2800		32
xc7vx485tffg1157-2	1157	600	303600	607200	1030	0	2800		32
xc7vx485tffg1157-2L	1157	600	303600	607200	1030	0	2800		32
xc7vx485tffg1157-1	1157	600	303600	607200	1030	0	2800		32
xc7vx485tffg1158-3	1158	350	303600	607200	1030	0	2800		32

[?](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

Auf den Link **Boards** (oben links) klicken.

New Project

### Default Part

Choose a default Xilinx part or board for your project.

Parts | **Boards**

[Reset All Filters](#)

Vendor: All Name: All Board Rev: Latest

Search: BASYS3 (3 matches)

Display Name	Preview	Status	Vendor	File Version	Part
Basys3		↓	digilentinc.com	1.1	
Basys3		↓	digilentinc.com	1.2	
Basys3		Installed	digilentinc.com	1.2	xc7a35tcpg23

Refresh Catalog was last updated on 10/29/2022 2:46:05 PM

< Back Next > Finish Cancel

Unter *Search*: *Basys3* eintragen, Board in der Liste auswählen (Wichtig!), dann *Next* anklicken.

New Project

VIVADO<sub>ML Editions</sub>

### New Project Summary

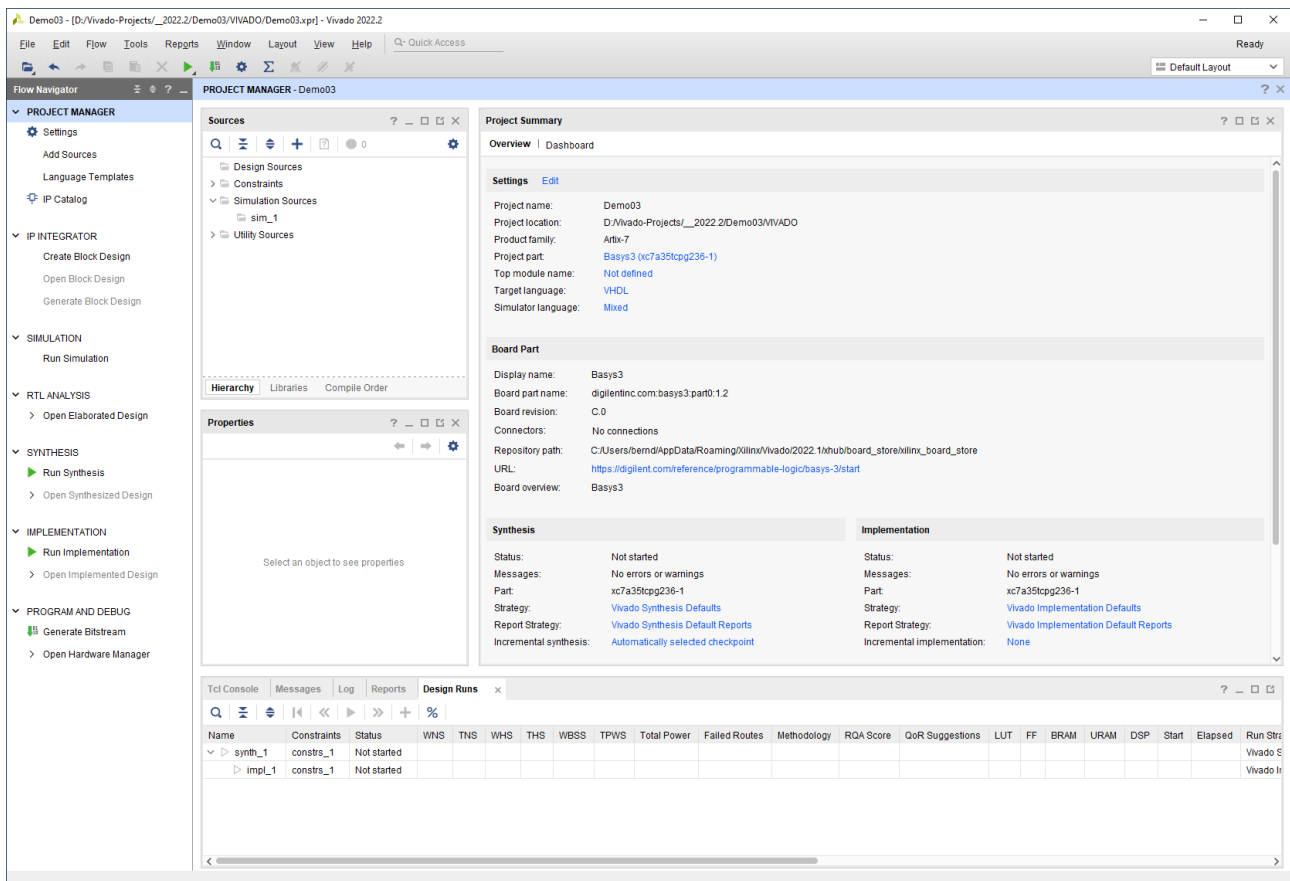
- A new RTL project named 'Demo03' will be created.
- The default part and product family for the new project:  
 Default Board: Basys3  
 Default Part: xc7a35tcpg236-1  
 Family: Artix-7  
 Package: cpg236  
 Speed Grade: -1

XILINX

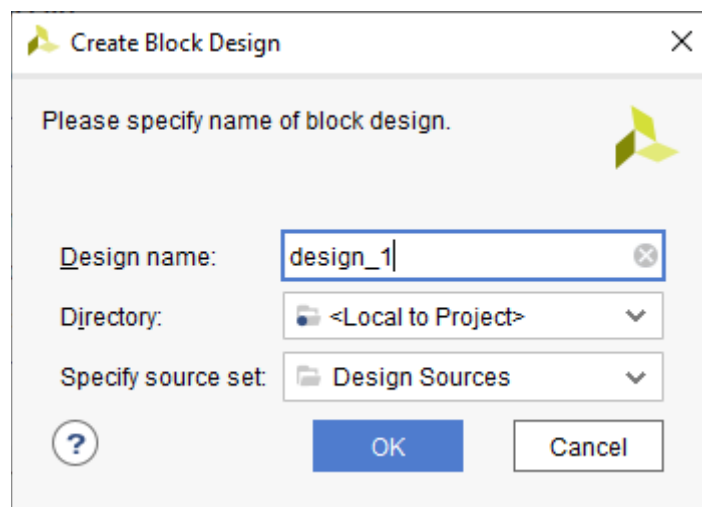
To create the project, click Finish

< Back Next > Finish Cancel

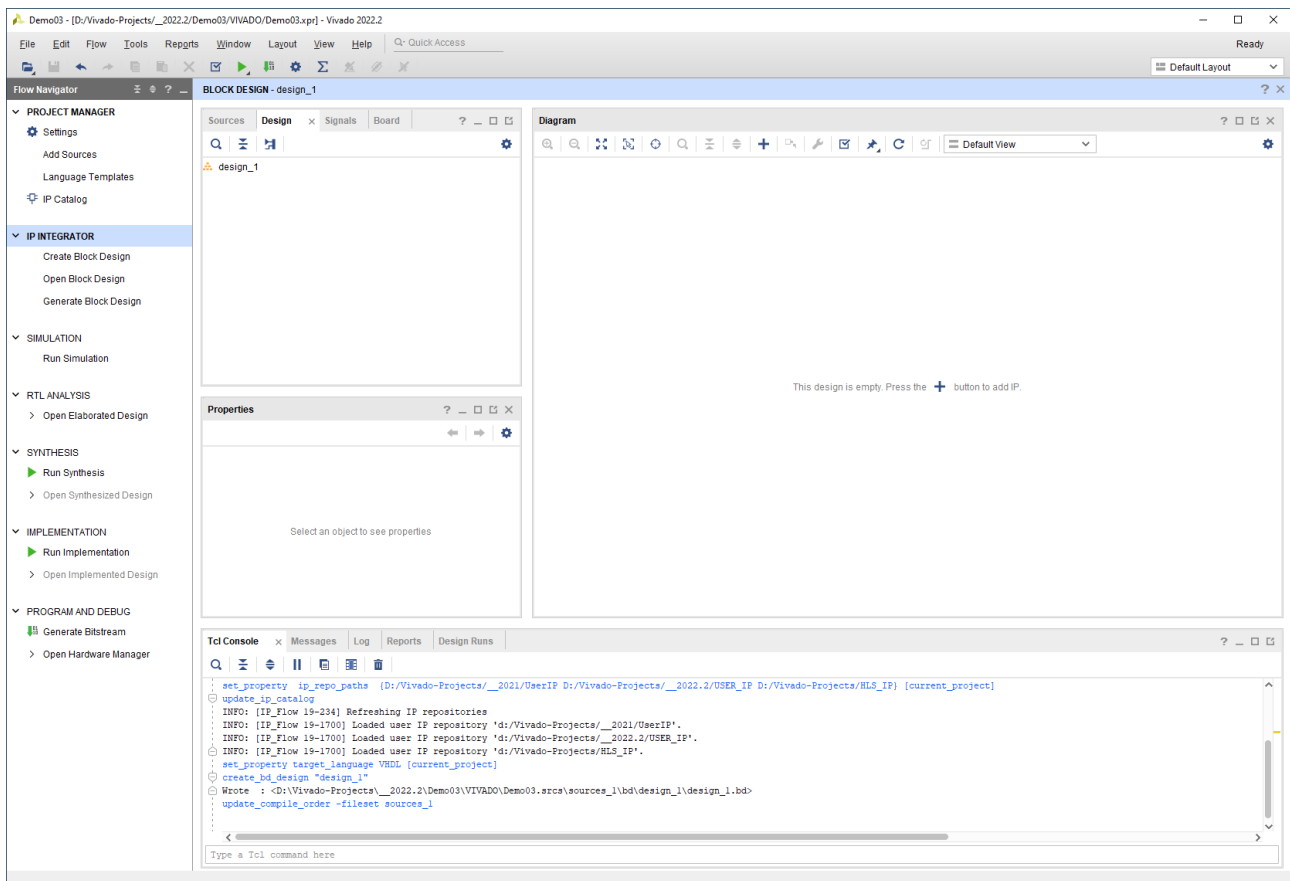
Alles überprüfen, dann *Finish* anklicken.



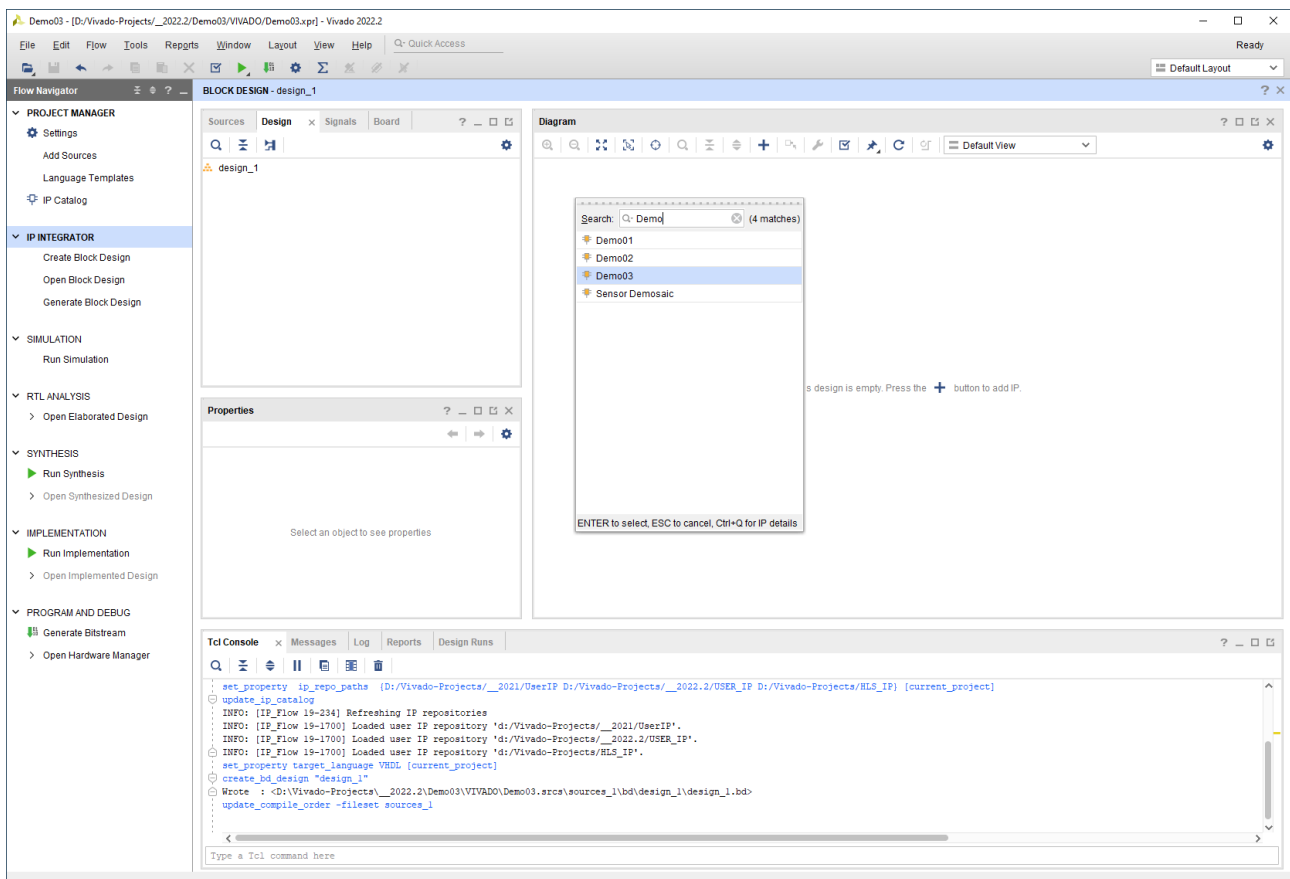
Projekt-Gerüst ist erstellt. Jetzt im *Flow Navigator*: *Create Block Design* anklicken.



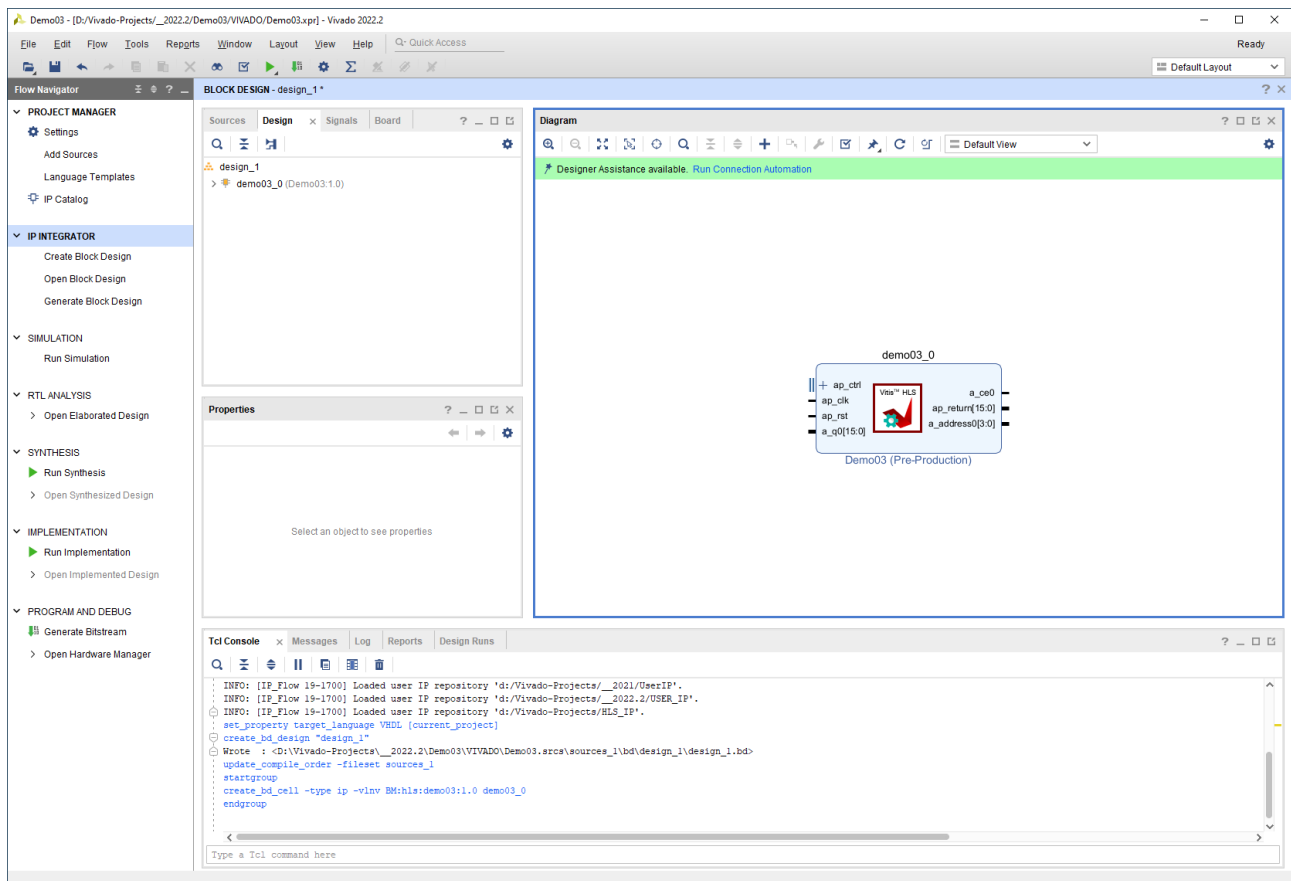
Alles unverändert lassen, dann *OK* anklicken.



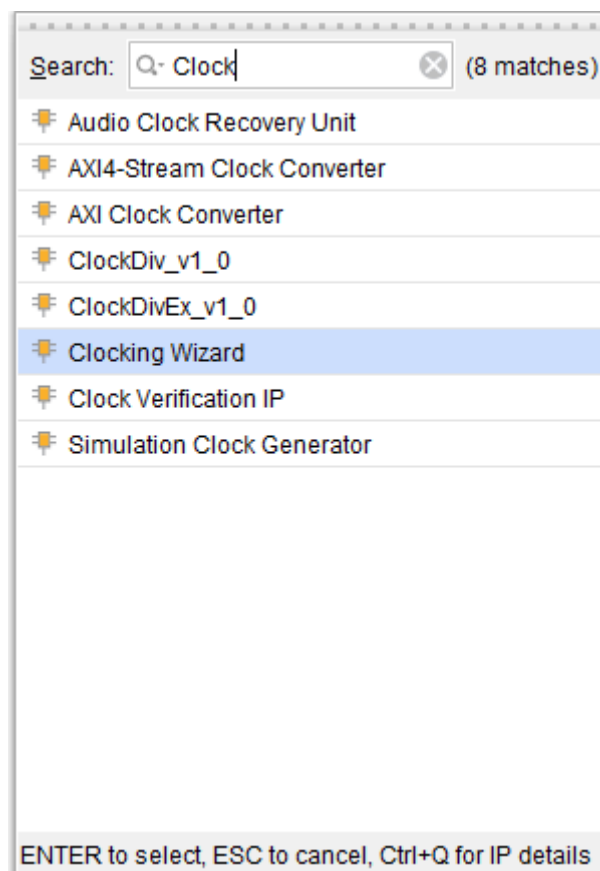
Das leere Block Design im rechten Fenster. Auf das “+” in der Mitte des Fensters oder oben im Toolbar klicken.



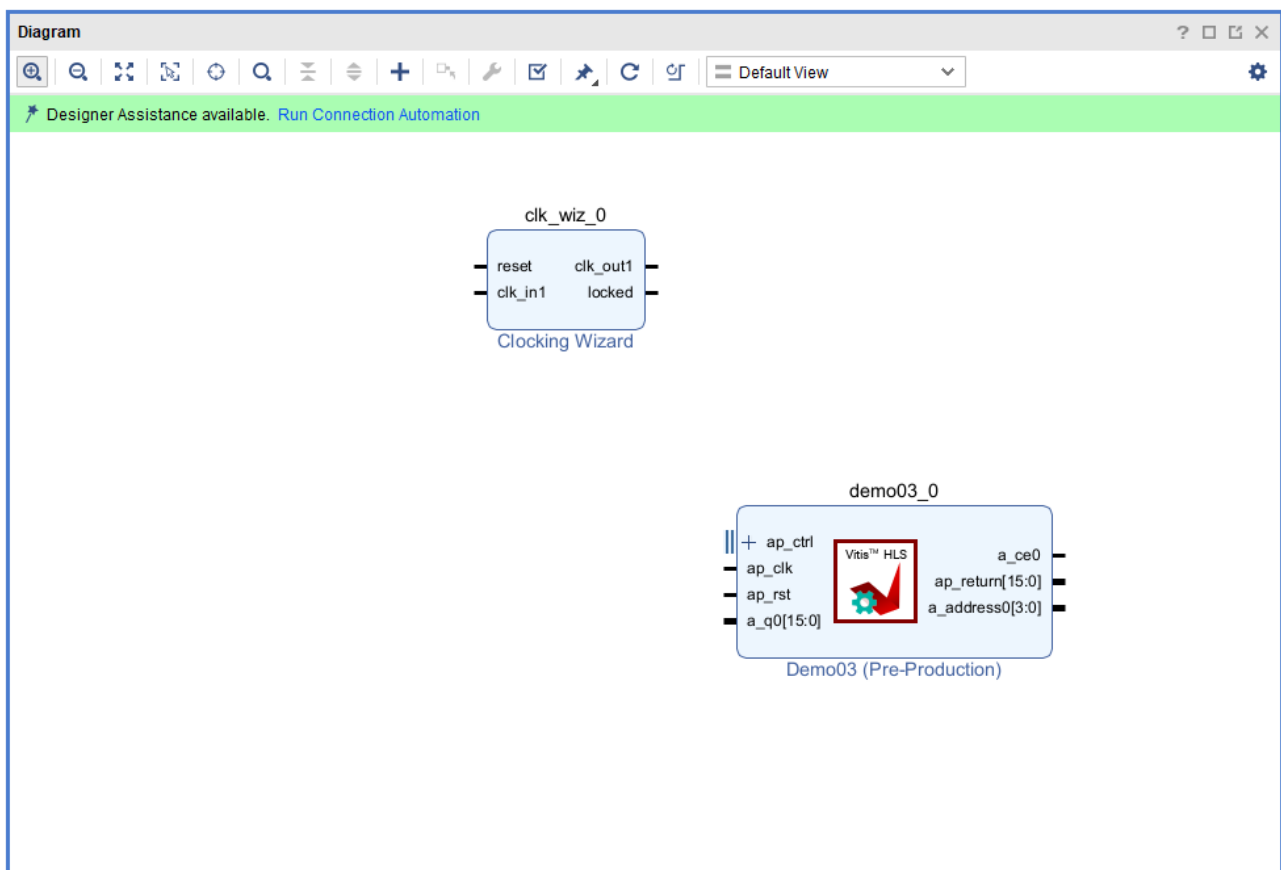
Der Such-Dialog erscheint. Unter Search: Text *Demo* eintragen. Position *Demo03* mit einem Doppelklick auswählen.



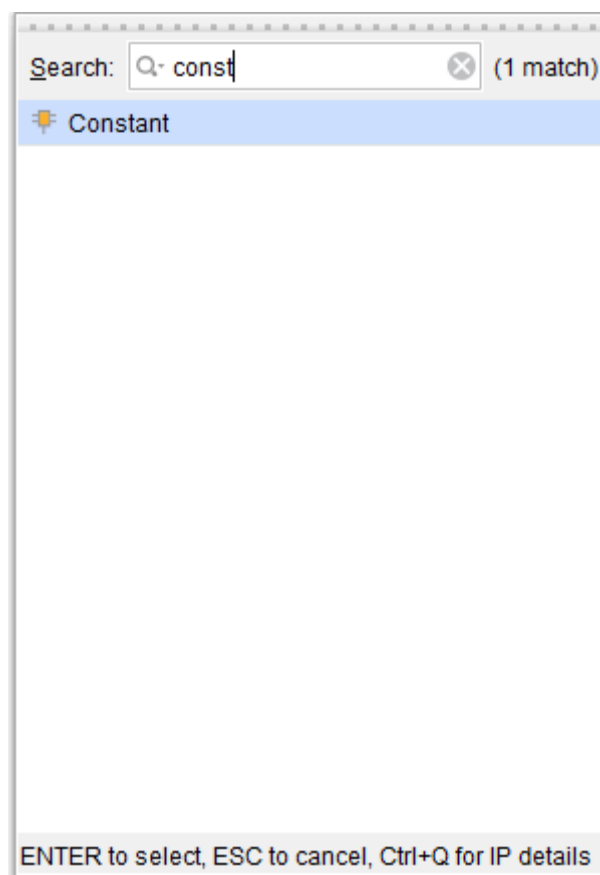
Das HLS-IP im *Diagram*-Fenster. Auf “+” im Toolbar klicken.



Suchtext: *Clock*, dann *Clocking Wizard* mit einem Doppelklick auswählen.

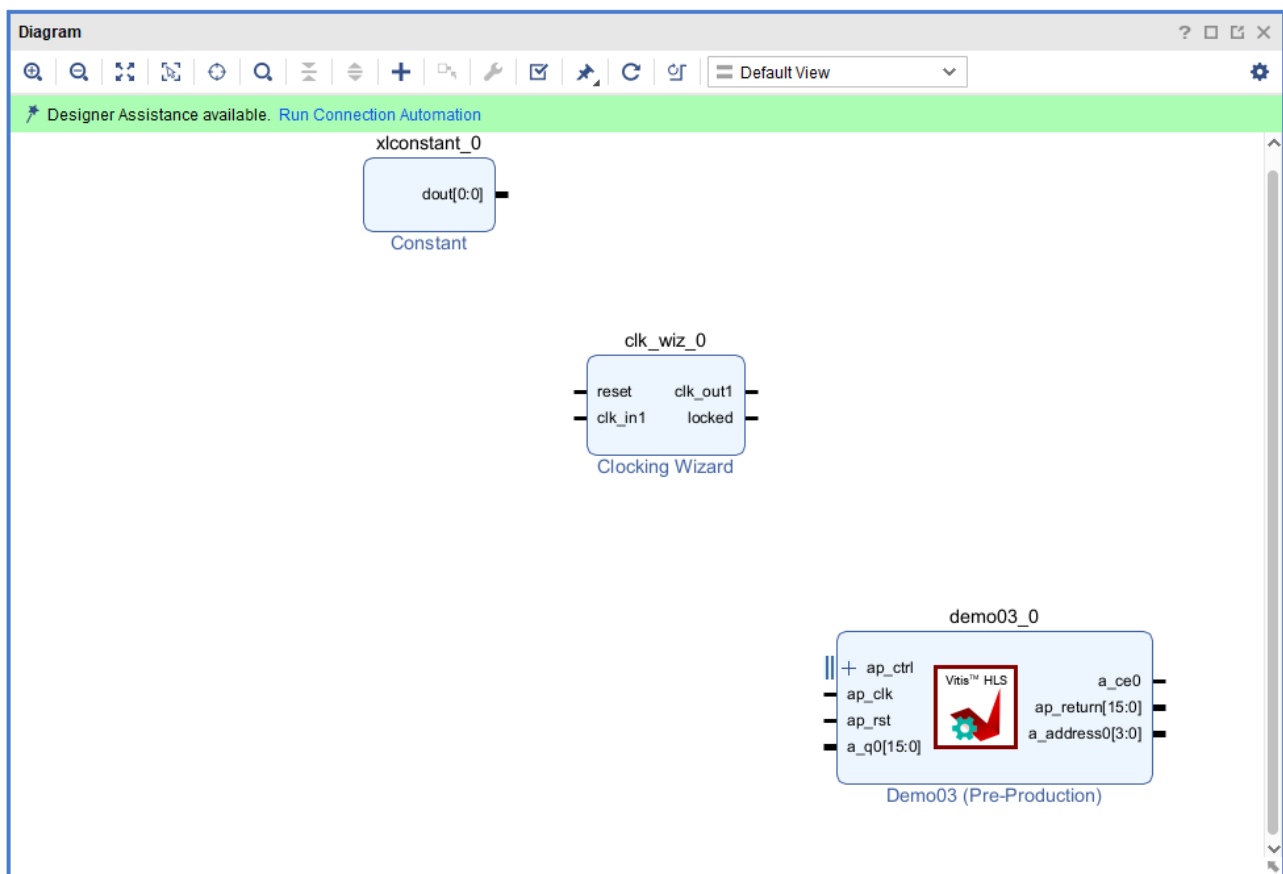


Beide IP's im *Diagram*-Fenster. Dann auf das "+" im Toolbar klicken.

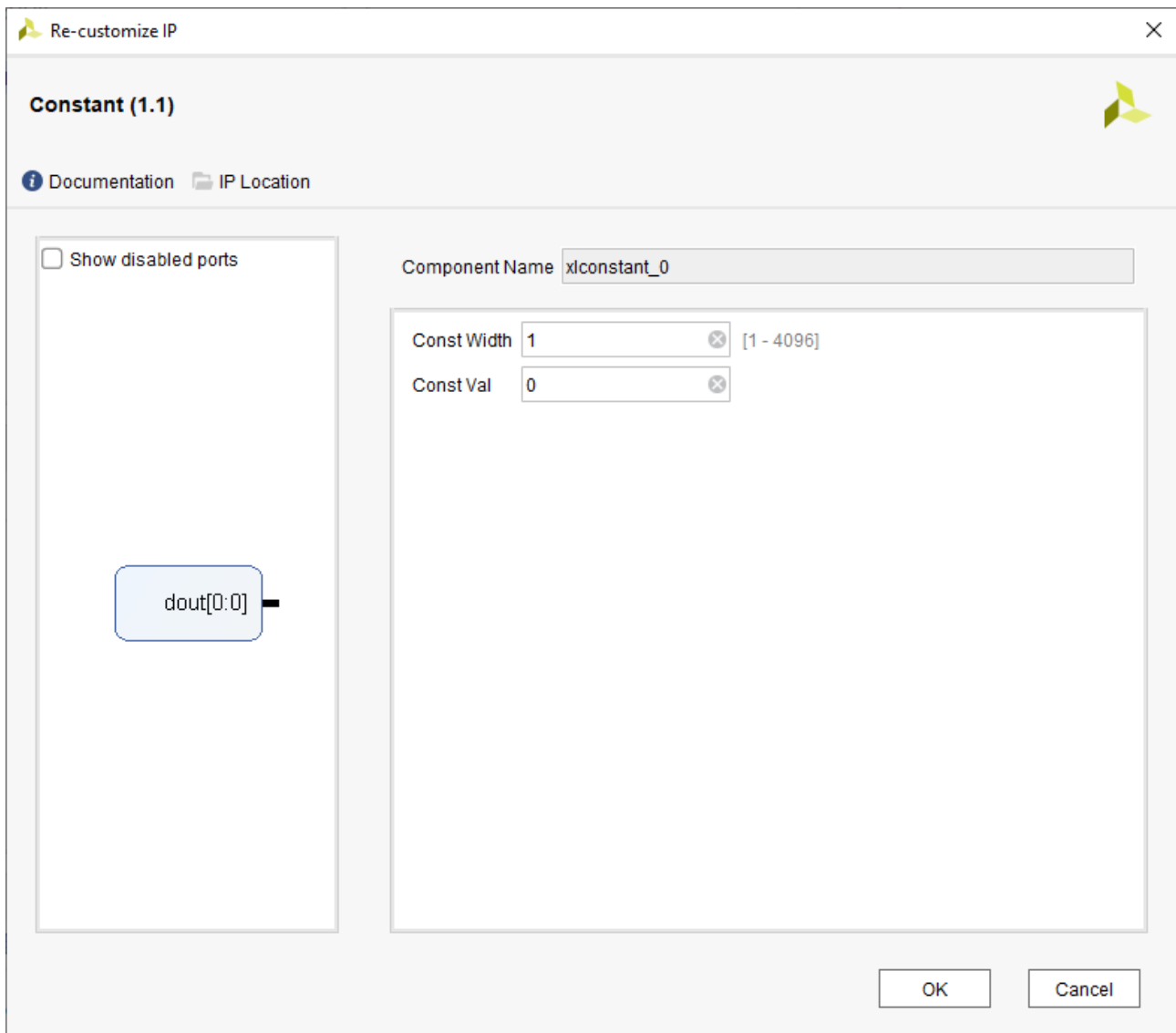


Das IP *Constant* mit einem Doppelklick in das Block Design einfügen.





Doppelklick auf IP *xlconstant\_0* zum Konfigurieren.



Als *Const Val* den Wert “0” eintragen, dann *OK* anklicken. Danach im Diagram-Fenster Doppelklick auf das IP *clk\_wiz\_0*.

Re-customize IP

## Clocking Wizard (6.0)

Documentation IP Location

IP Symbol Resource

☐ Show disabled ports

Component Name `clk_wiz_0`

Board Clocking Options **Output Clocks** MMCM Settings Summary

The phase is calculated relative to the active input clock.

Output Clock	Port Name	Output Freq (MHz)		Phase (degrees)		Duty Cycle (%)		Drives
		Requested	Actual	Requested	Actual	Requested	Actual	
<input checked="" type="checkbox"/> clk_out1	clk_100MHz	100.000	100.000000	0.000	0.000	50.000	50.0	BUFG
<input type="checkbox"/> clk_out2	clk_out2	100.000	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out3	clk_out3	100.000	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out4	clk_out4	100.000	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out6	clk_out6	100.000	N/A	0.000	N/A	50.000	N/A	BUFG
<input type="checkbox"/> clk_out7	clk_out7	100.000	N/A	0.000	N/A	50.000	N/A	BUFG

☐ USE CLOCK SEQUENCING

**Clocking Feedback**

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

**Source**

☒ Automatic Control On-Chip  
☐ Automatic Control Off-Chip  
☐ User-Controlled On-Chip  
☐ User-Controlled Off-Chip

**Signaling**

☒ Single-ended  
☐ Differential

**Enable Optional Inputs / Outputs for MMCM/PLL**

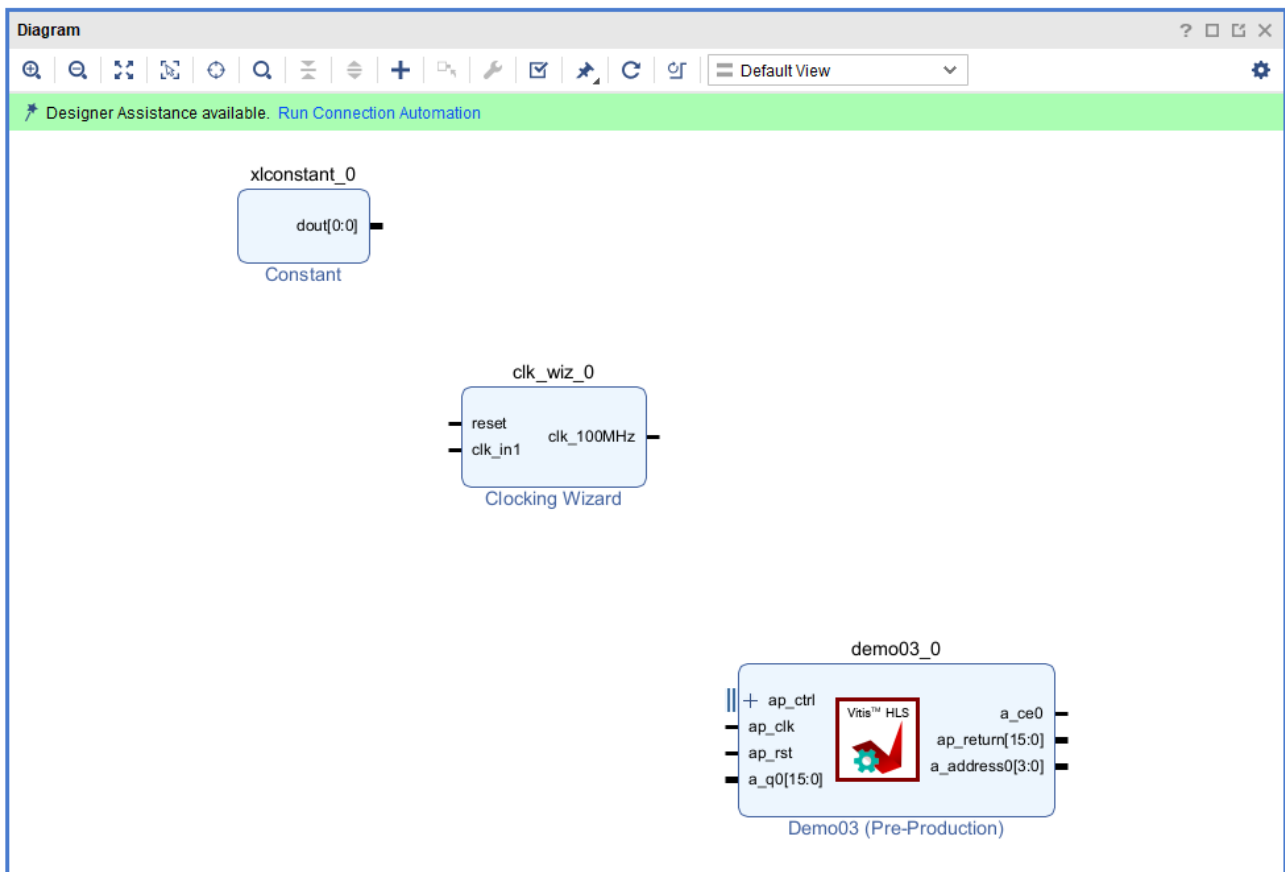
☒ reset ☐ power\_down ☐ input\_clk\_stopped  
☐ locked ☐ clkfbstopped

**Reset Type**

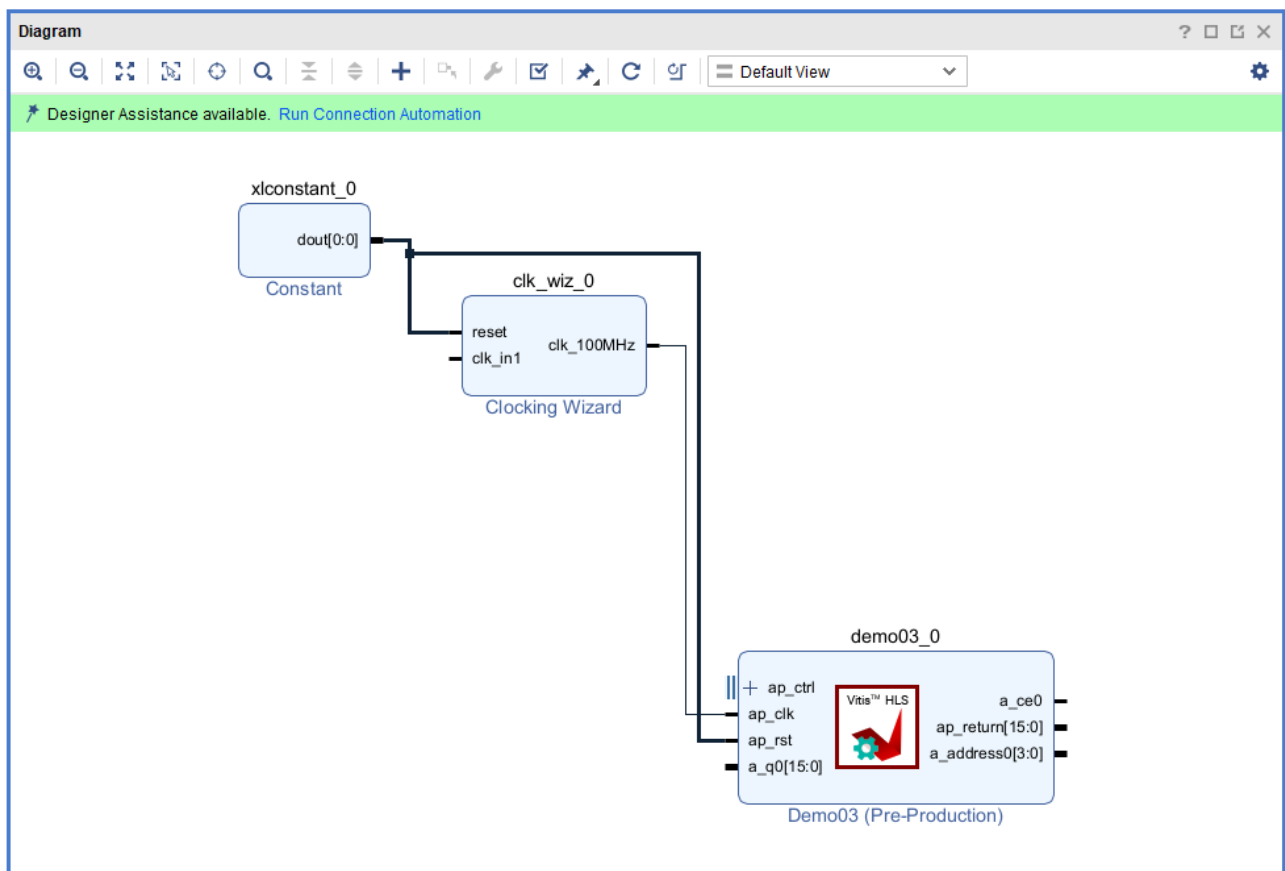
☒ Active High ☐ Active Low

OK Cancel

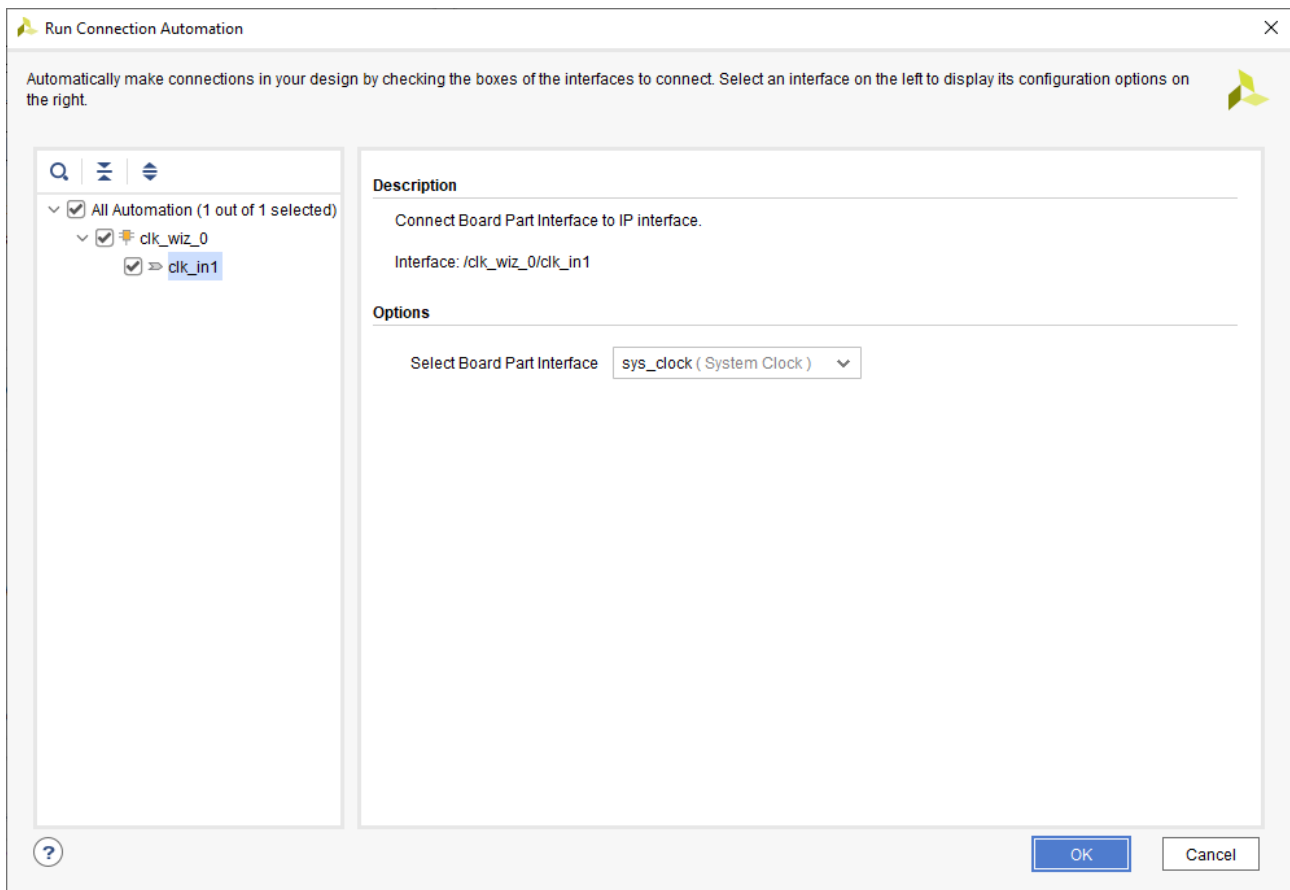
Im Tab *Output Clocks* den Namen *clk\_out1* in *clk\_100MHz* ändern und die Option *locked* ausschalten, dann *OK* anklicken.



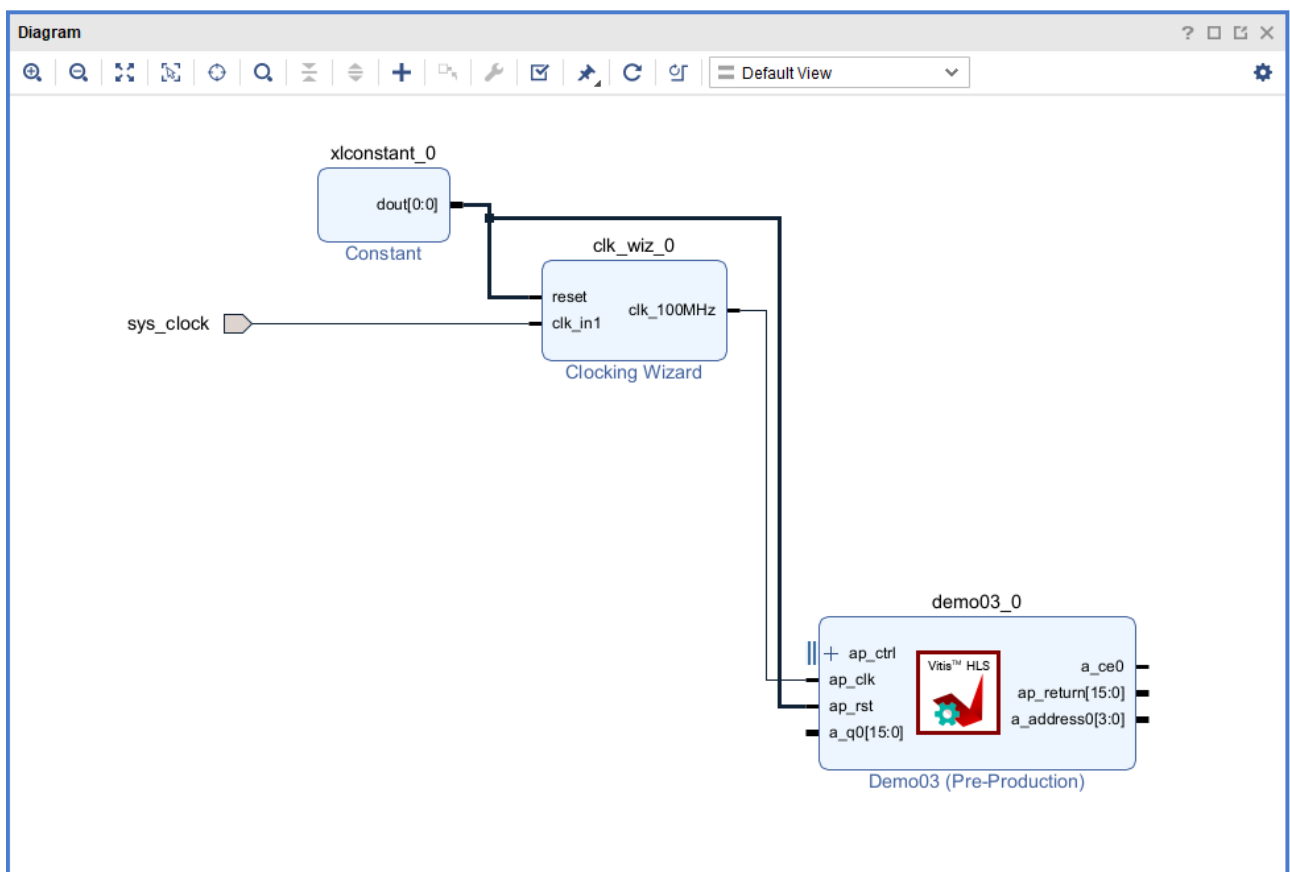
Nun können die Verbindungen zwischen den IP's angelegt werden.



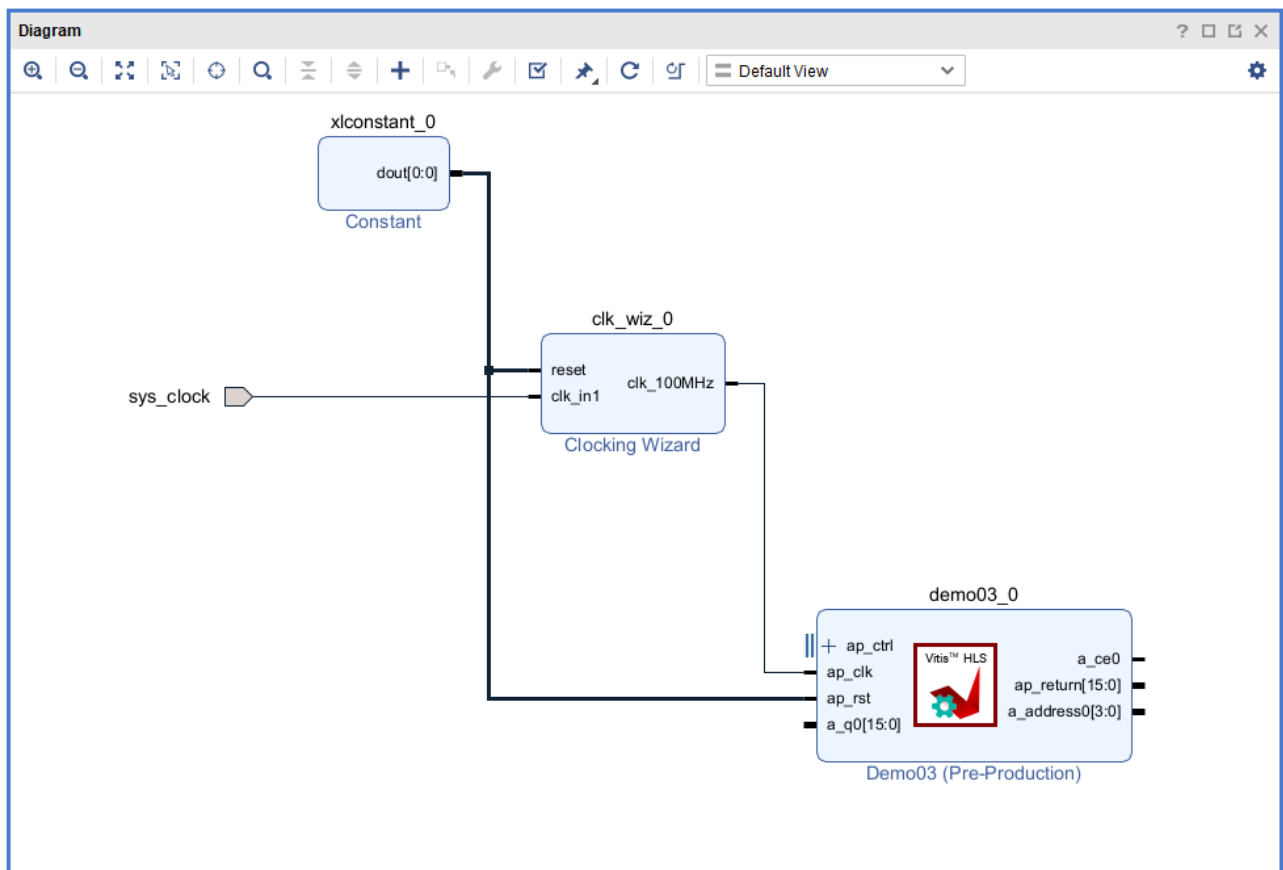
100MHz Takt am Port "clk\_in1" bereitstellen, "Run Connection Automation" (oben) anklicken.



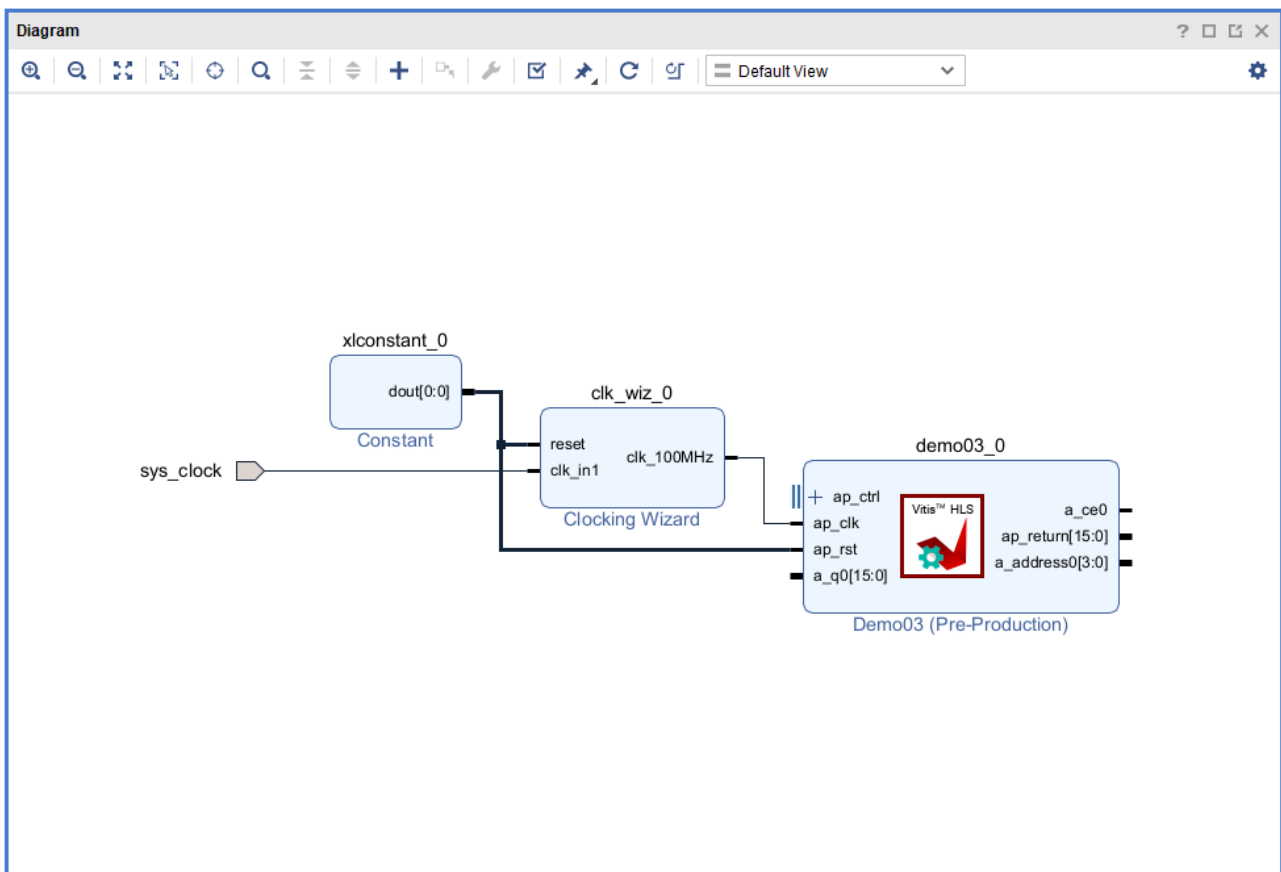
Links ist “clk\_in1” aktiviert, rechts ist “sys\_clock” eingetragen (in diesem Fall muss nichts geändert werden).



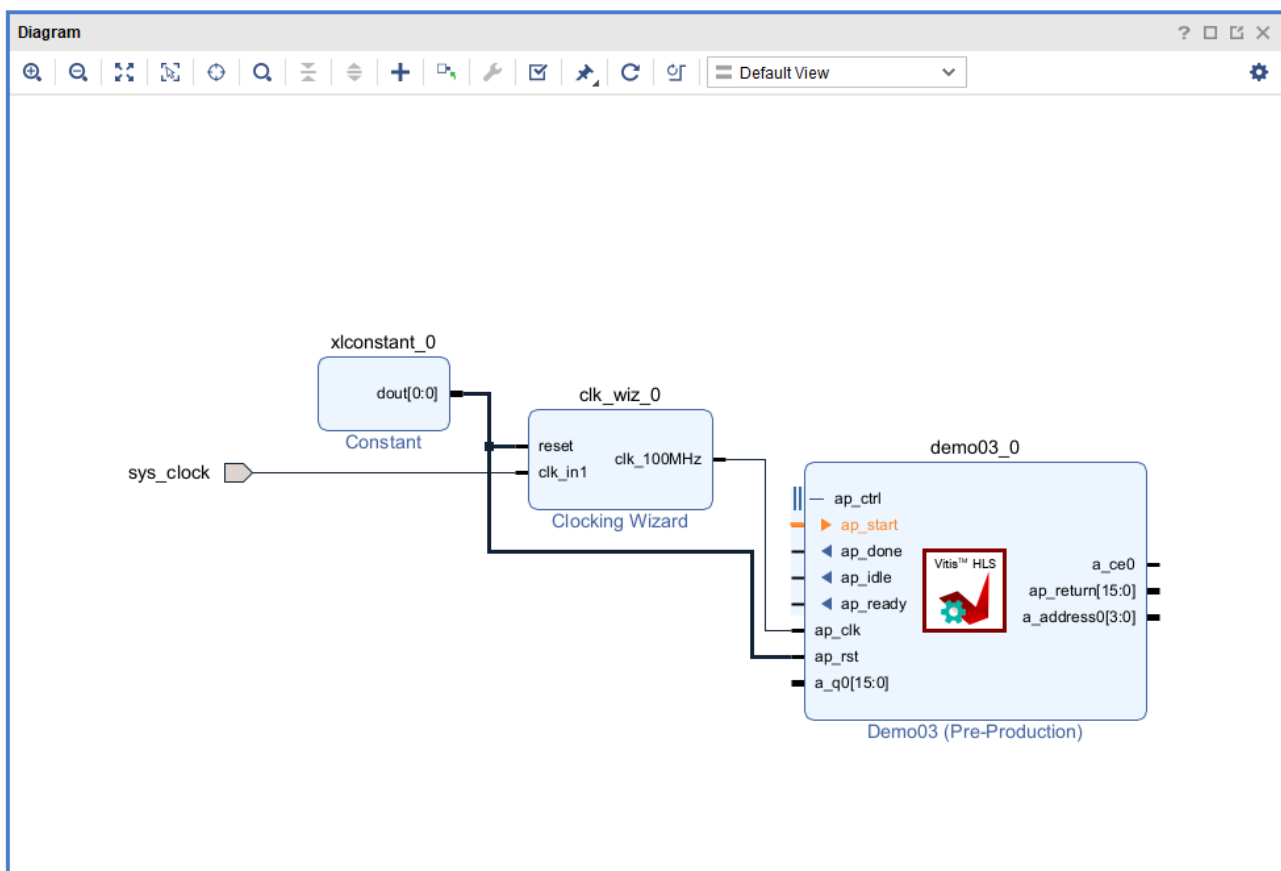
Der eingefügte Anschluß “sys\_clock” stellt den Takt bereit.



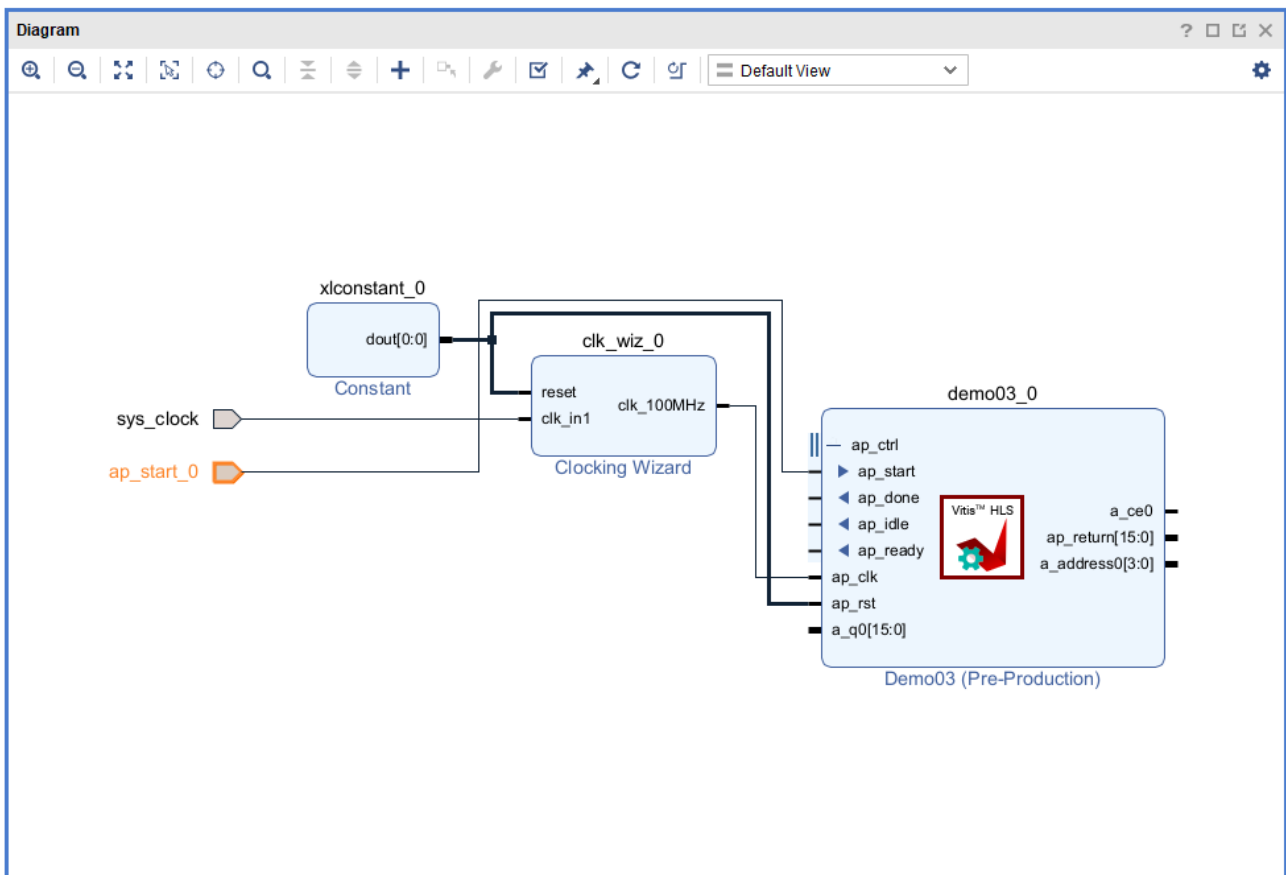
Schaltfläche *Regenerate Layout* (2. von rechts) anklicken.



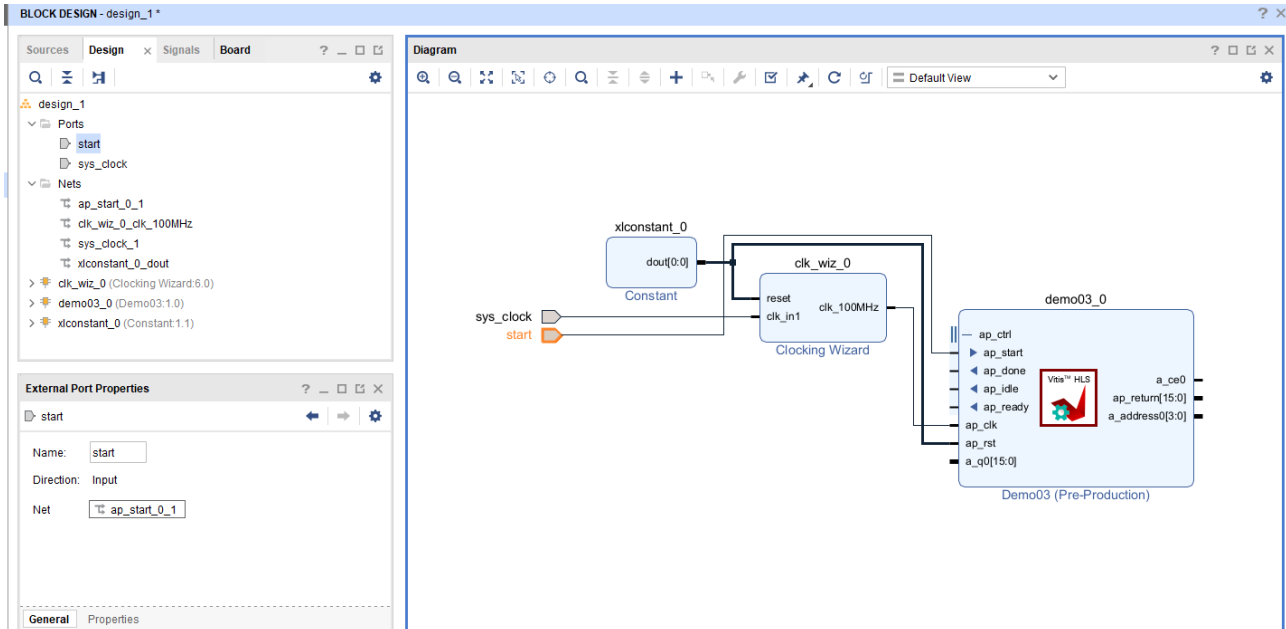
Auf das “+” vor `ap_ctrl` klicken.



Mit rechter Maustaste auf `ap_start` klicken und im Kontextmenü *Make External* aufrufen.

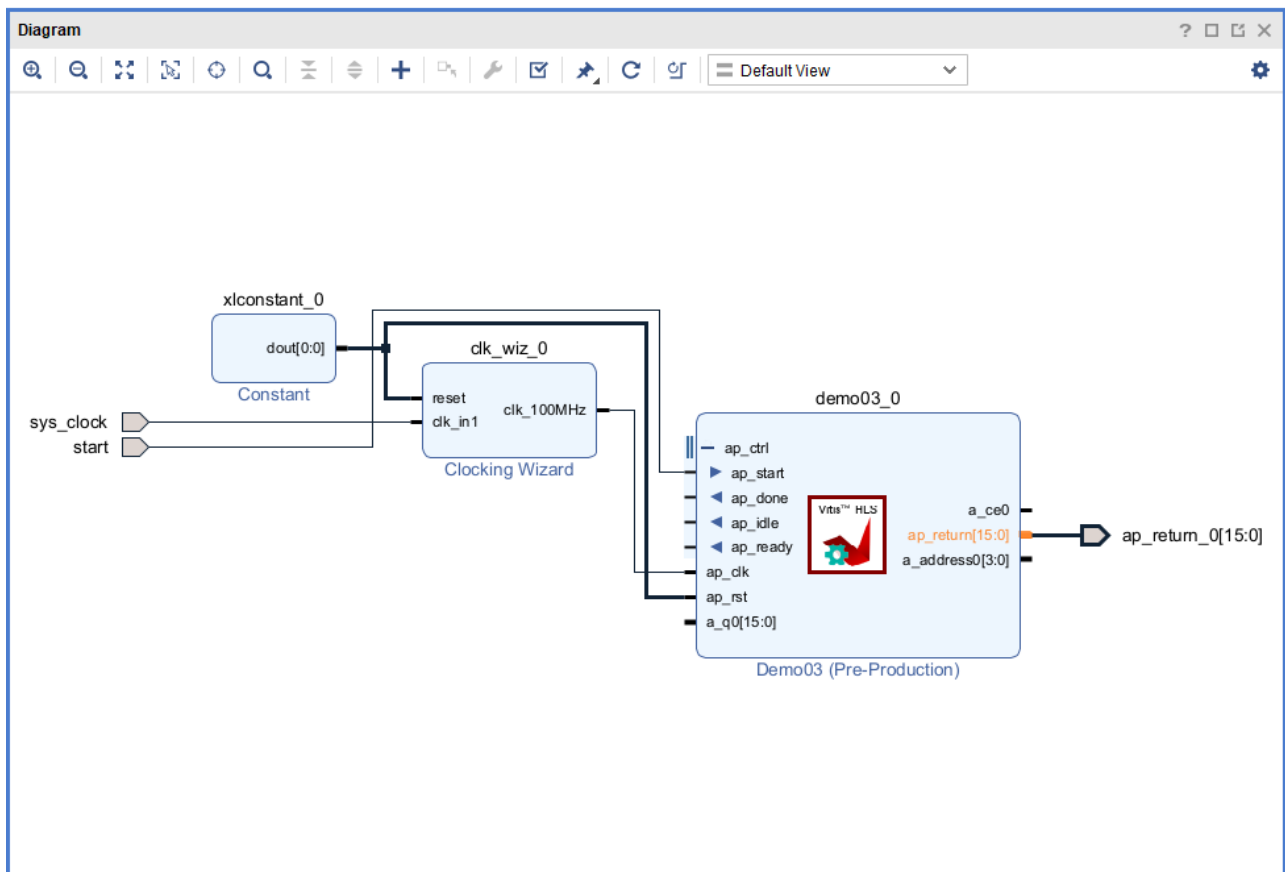


Mit linker Maustaste auf `ap_start_0` klicken

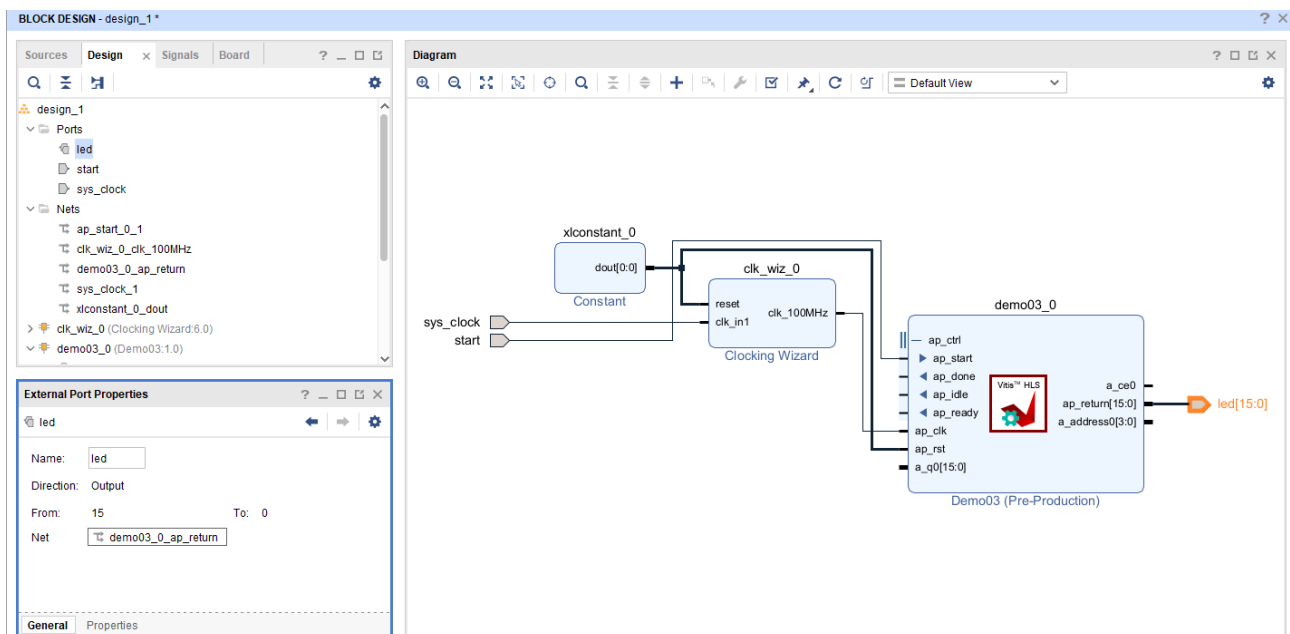


Im Fenster *External Port Properties* den Namen `start` eingeben. Danach auf `ap_return[15:0]` mit rechter Maustaste klicken und im Kontextmenü den Befehl *Make External* aufrufen.

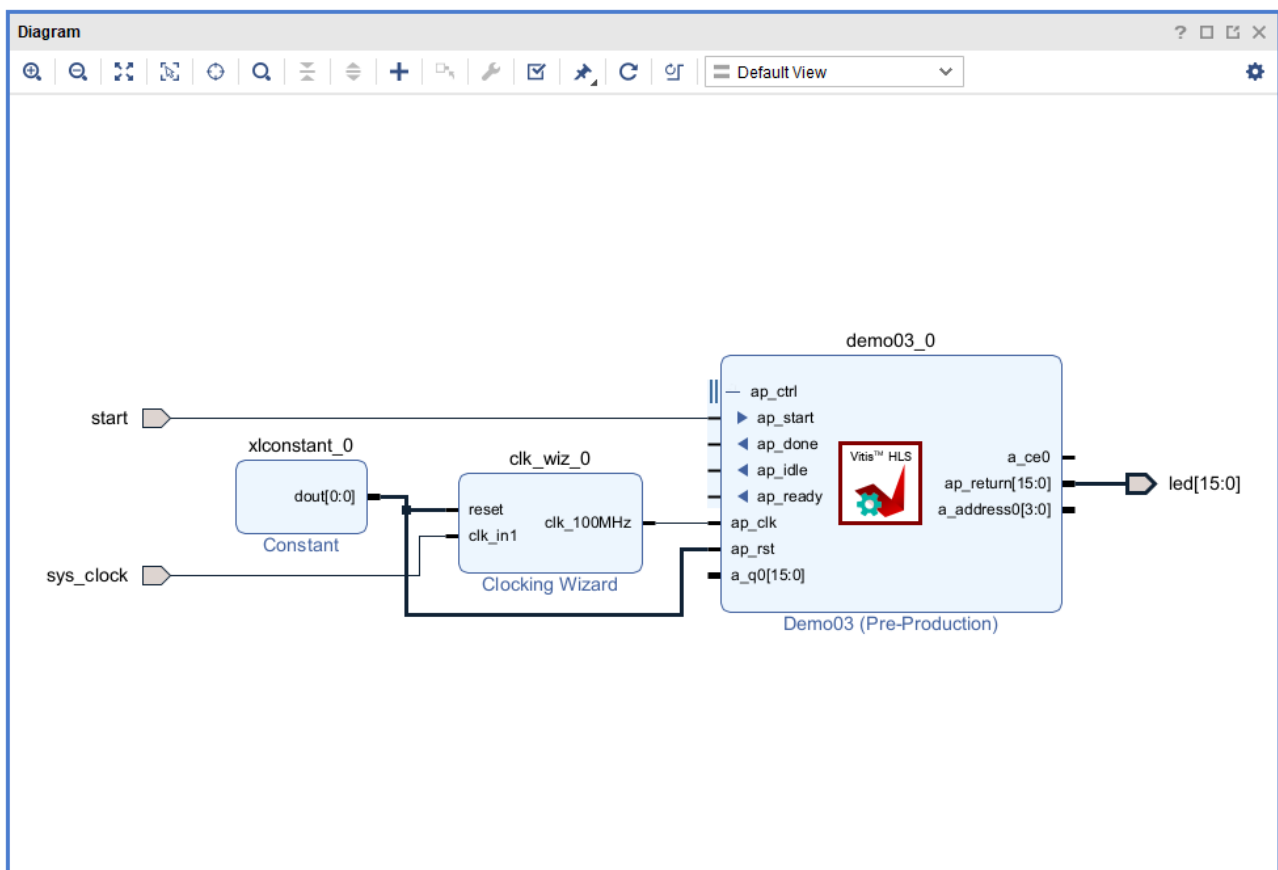




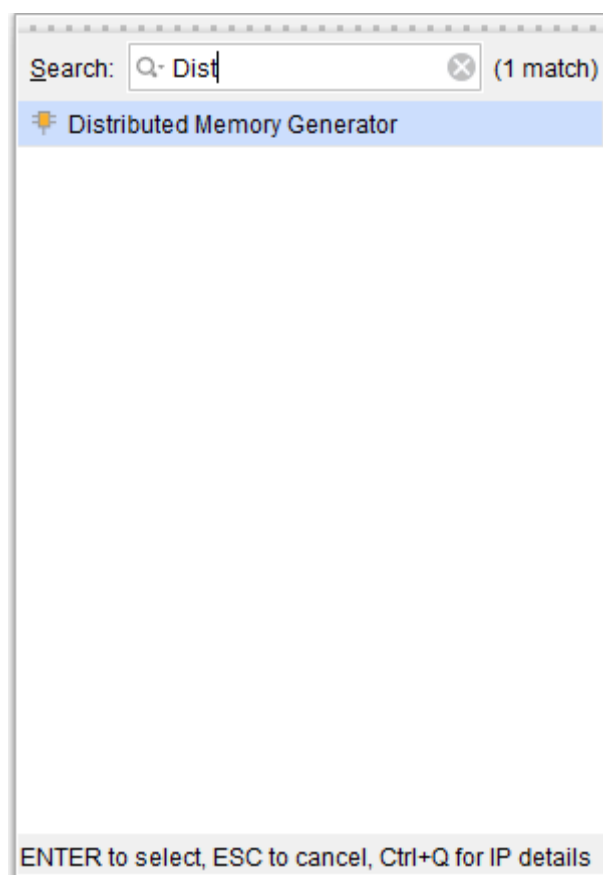
Mit linker Maustaste auf `ap_return_0[15:0]` klicken.



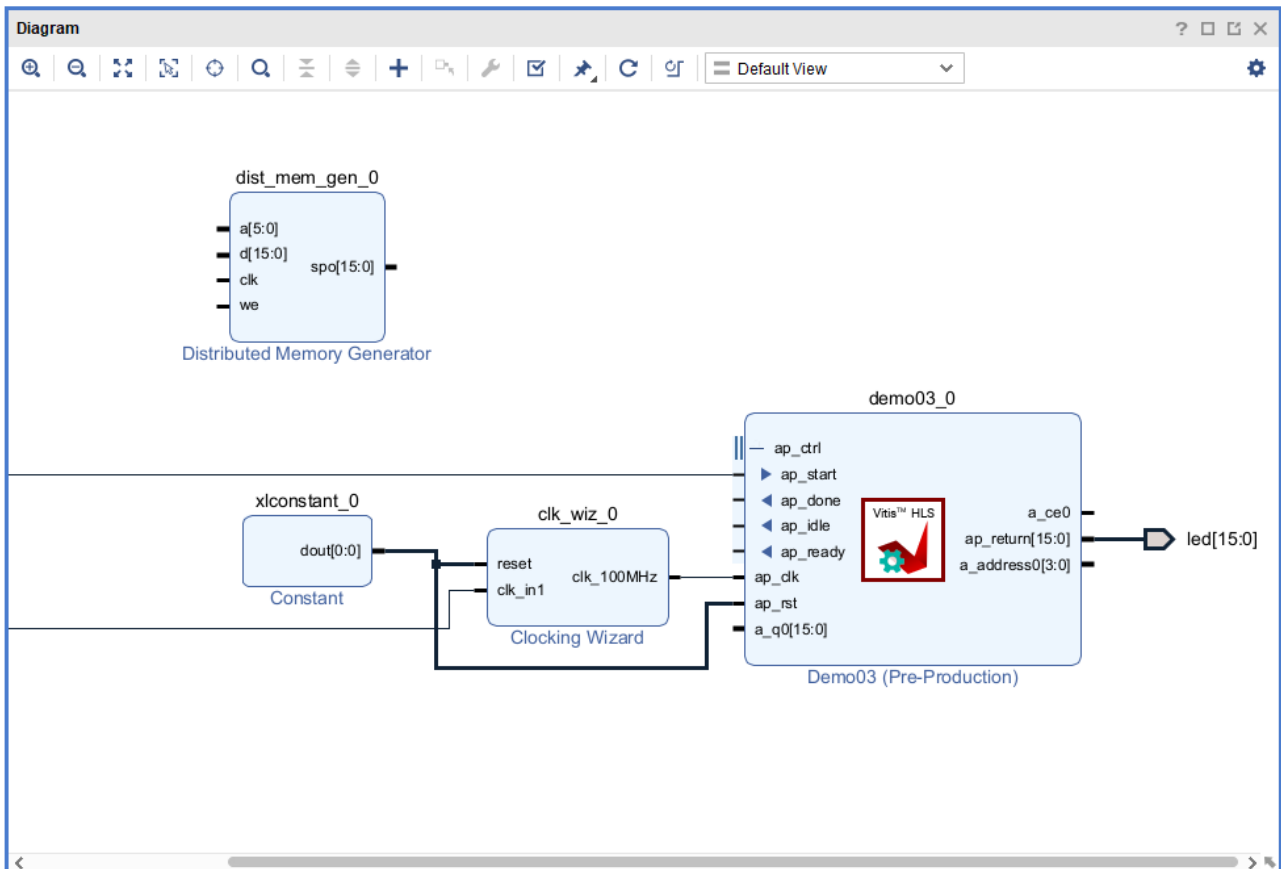
Im Fenster *External Port Properties* den Namen *led* eingeben. Danach *Regenerate Layout* aufrufen.



Im Toolbar auf die “+”-Schaltfläche klicken.



Als Suchtext: *Dist* eingeben, dann *Distributed Memory Generator* mit einem Doppelklick auswählen.



Für die Konfiguration des Speichers: Doppelklick auf das IP *dist\_mem\_gen\_0*. Das Tab *memory config* auswählen.

The screenshot shows the 'Re-customize IP' window for the 'Distributed Memory Generator (8.0)'. The 'Component Name' is 'dist\_mem\_gen\_0'. The 'memory config' tab is selected. Under 'Options', 'Depth' is set to 16 (range [16 - 65536]) and 'Data Width' is set to 16 (range [1 - 1024]). Under 'Memory Type', 'ROM' is selected with a radio button. Other options are 'Single Port RAM', 'Simple Dual Port RAM', and 'Dual Port RAM'. On the left, a preview shows a block with ports 'a[3:0]' and 'spo[15:0]'. At the bottom are 'OK' and 'Cancel' buttons.

Depth: 16, Memory Type: ROM, dann Tab *Port config* auswählen.

Re-customize IP

### Distributed Memory Generator (8.0)

Documentation IP Location

☐ Show disabled ports

Component Name:

memory config **Port config** RST & Initialization

**Input Options**

**Input Options**

☒ Non Registered ☐ Registered

☐ Input Clock Enable ☐ Qualify WE with L\_CE

**Dual Port Address**

**Dual Port Address**

☒ Non Registered ☐ Registered

**Output Options**

**Output Options**

☐ Non Registered ☒ Registered ☐ Both

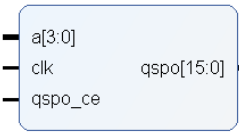
☐ Common Output CLK ☒ Single Port Output CE

☐ Common Output CE ☐ Dual Port Output CE

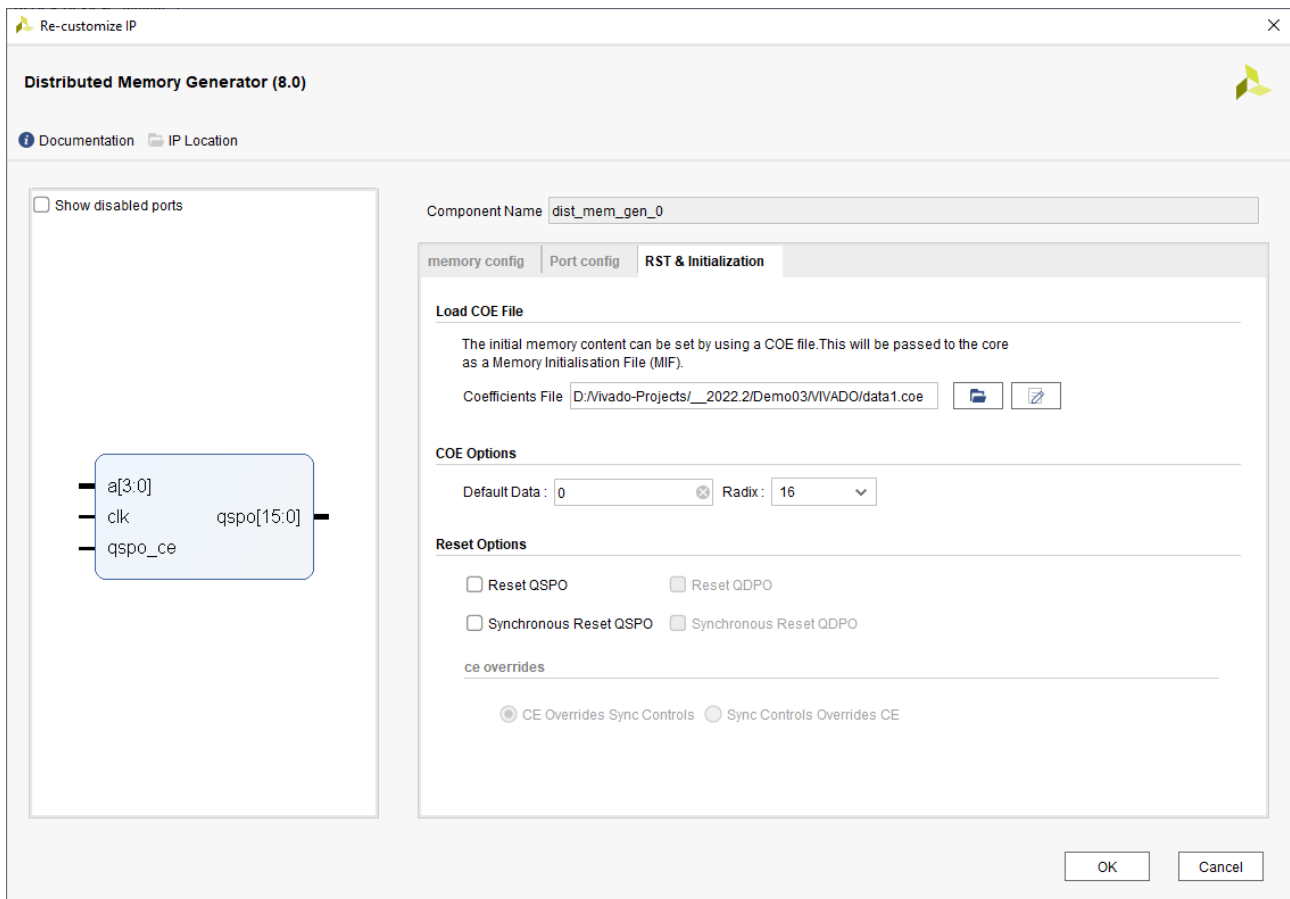
**Pipelining Options**

Pipeline Stages:

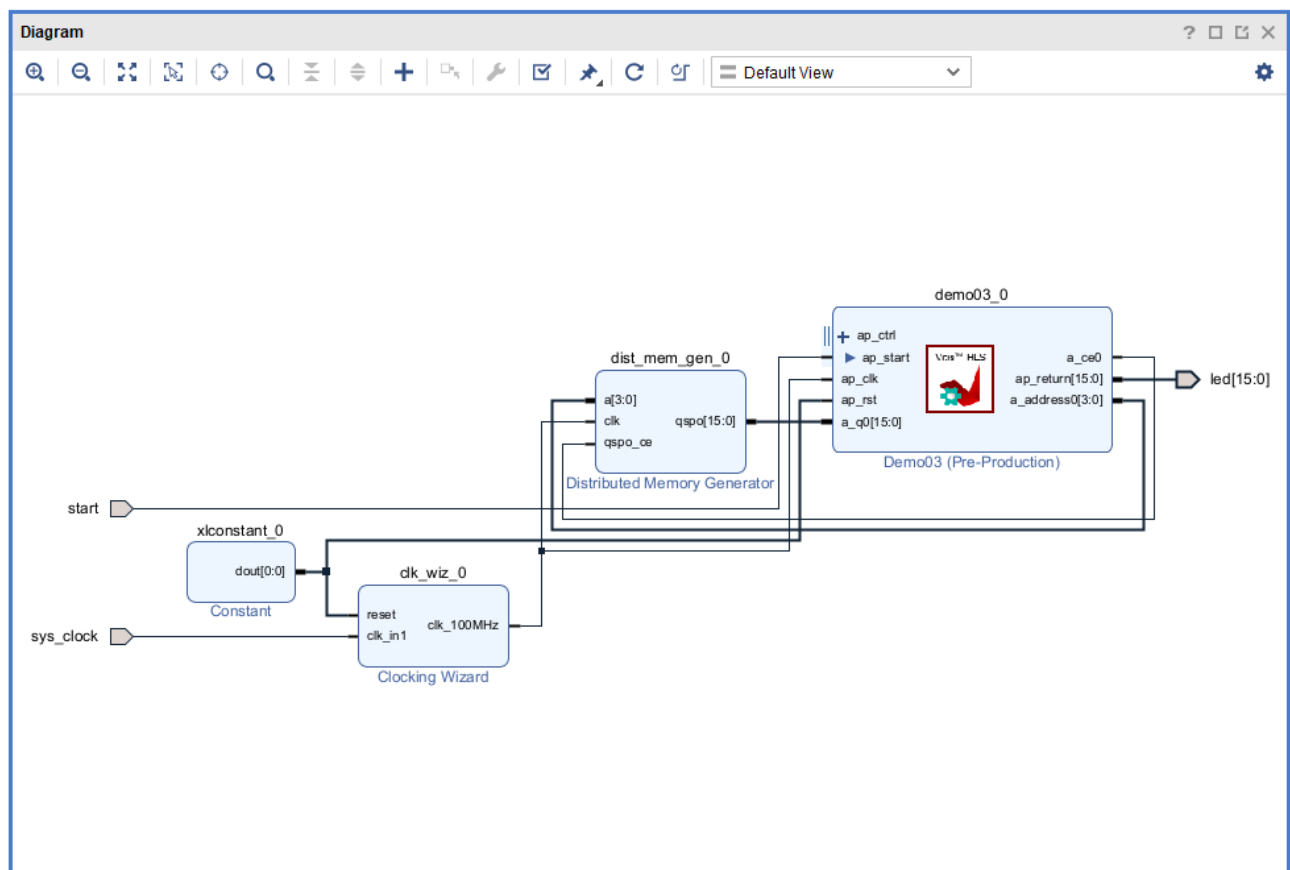
OK Cancel



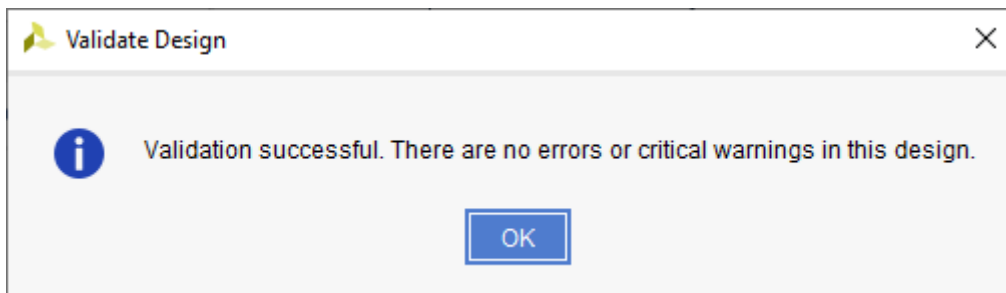
Unten bei *Output Options*: *Registered* auswählen und *Single Port Output CE* auswählen. Dann Tab *RST & Initialization* auswählen.



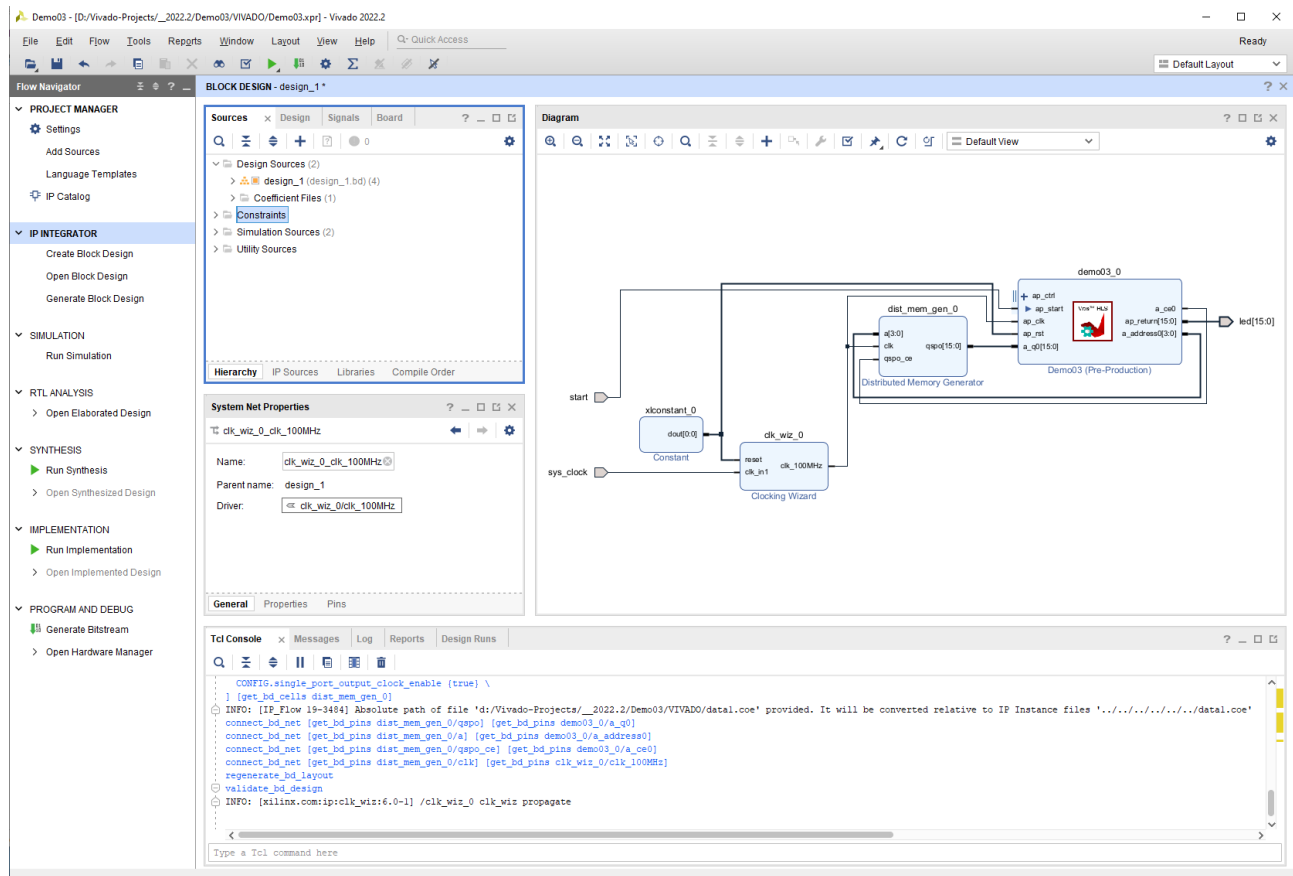
*Coefficient File* (data1.coe) eintragen. Schaltfläche mit dem Ordner-Symbol anklicken und Datei auswählen. Zum Schluß OK anklicken. Danach die Verbindungen zum Speicher-IP herstellen.



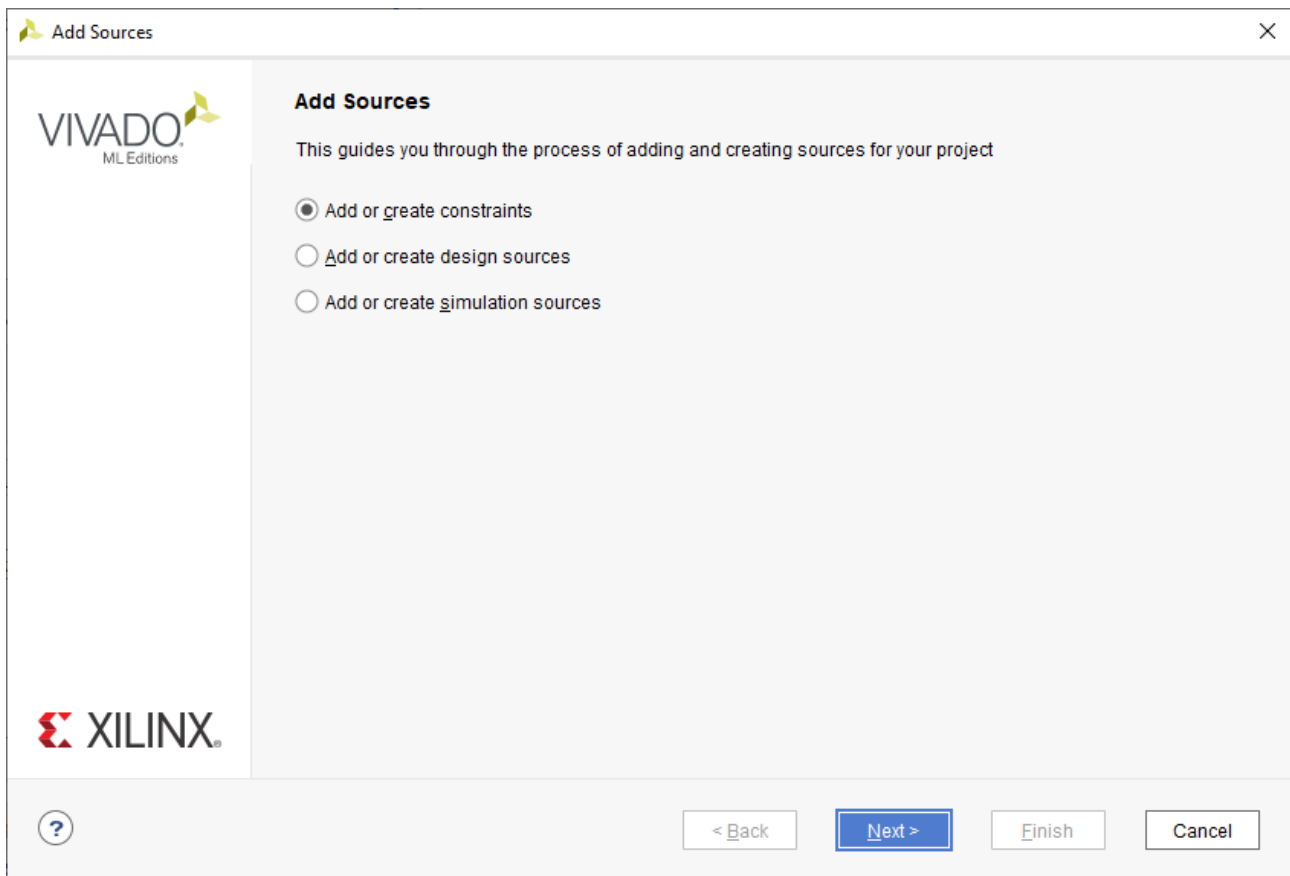
Verbindungen zum Speicher hergestellt. Dann *Regenerate Layout*. Block Design prüfen <F6>.



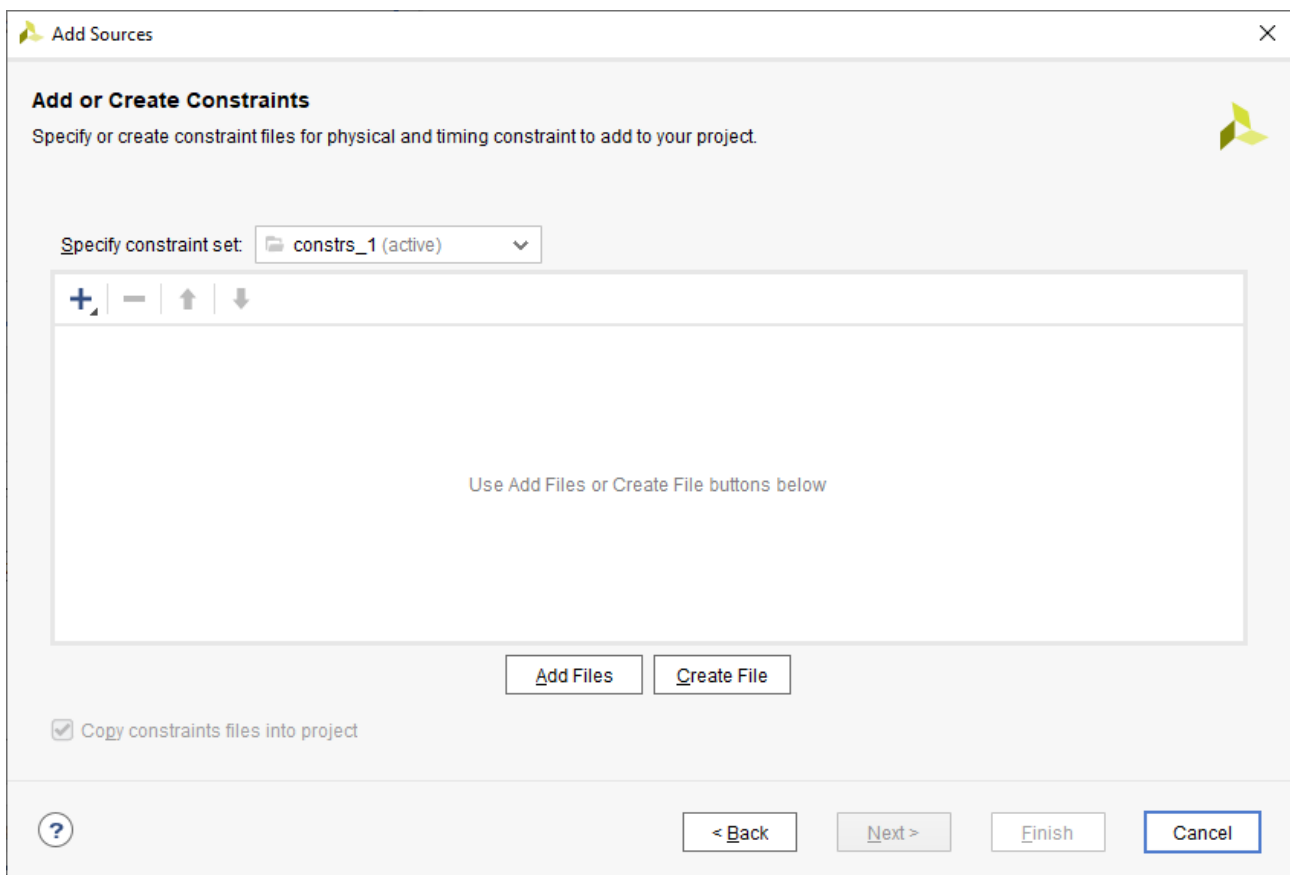
Alles OK. Schaltfläche OK anklicken.



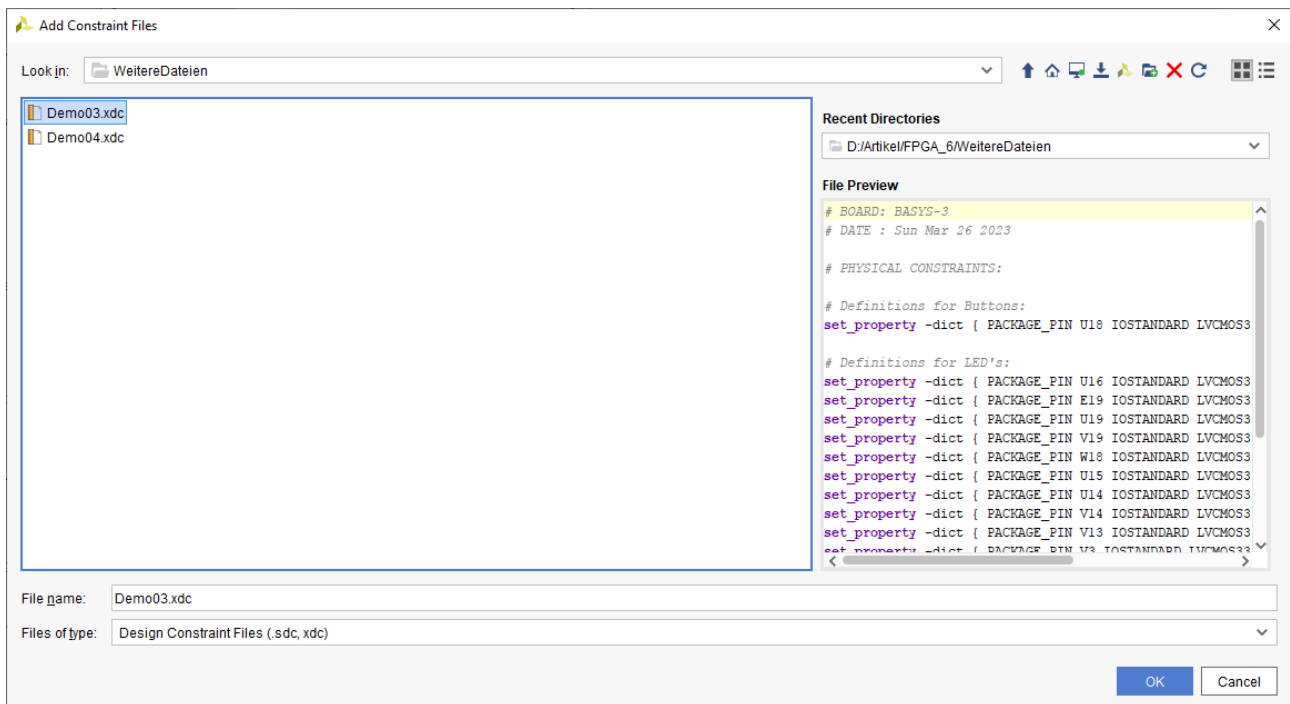
Im Fenster Sources auf die “+”-Schaltfläche klicken.



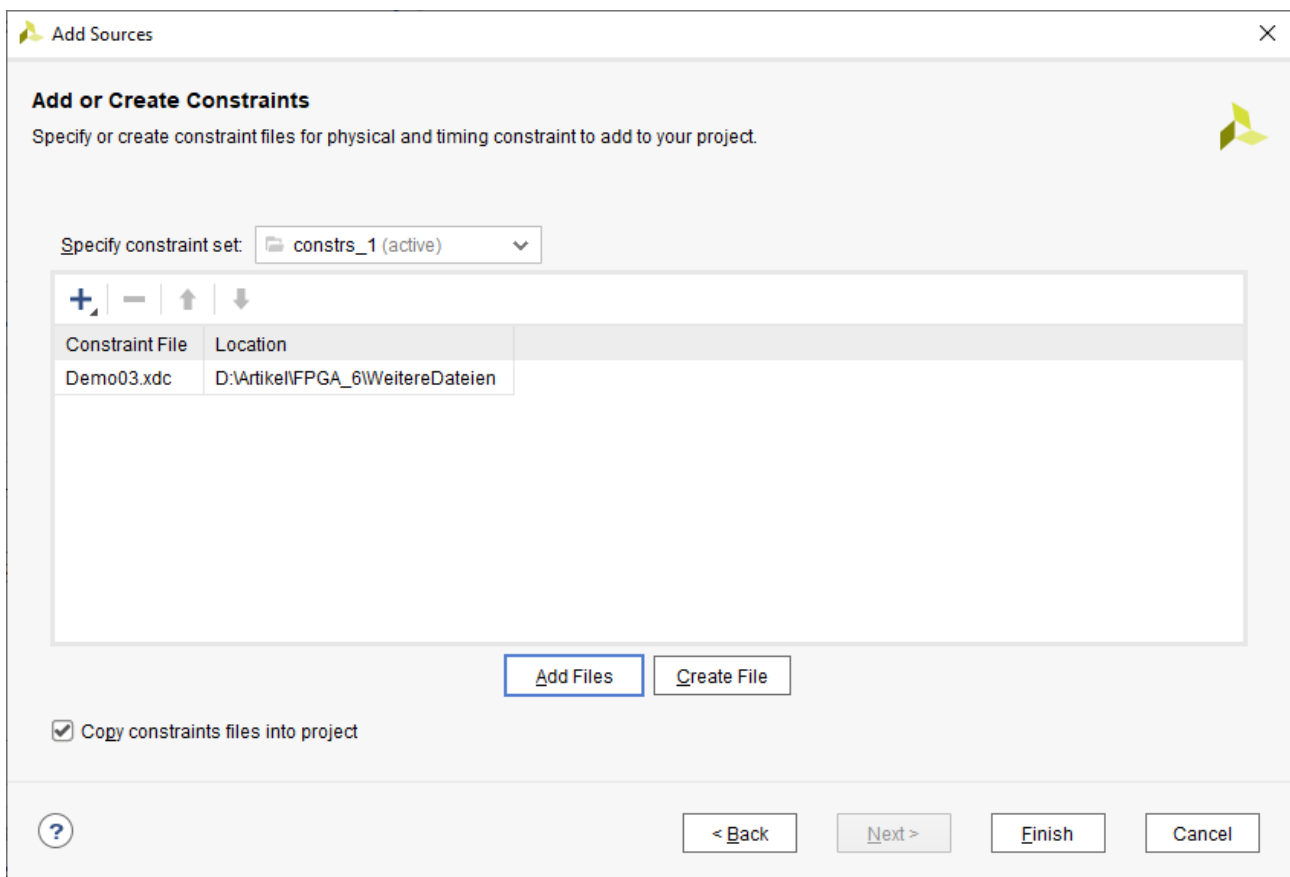
Option *Add or create constraints* auswählen, dann auf *Next* klicken.



Auf Schaltfläche *Add Files* klicken.

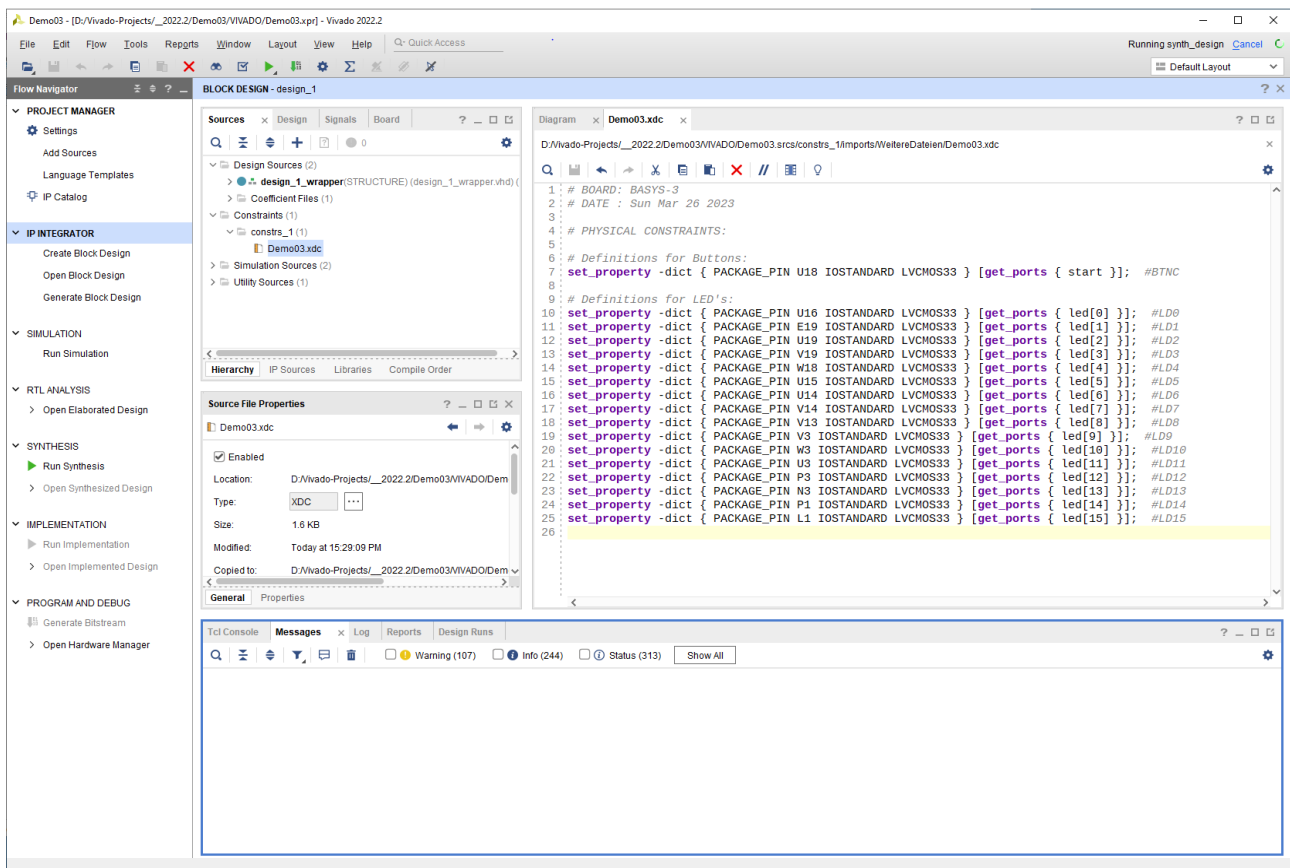


Datei *Demo03.xdc* im Download-Verzeichnis “WeitereDateien” auswählen, dann OK anklicken.

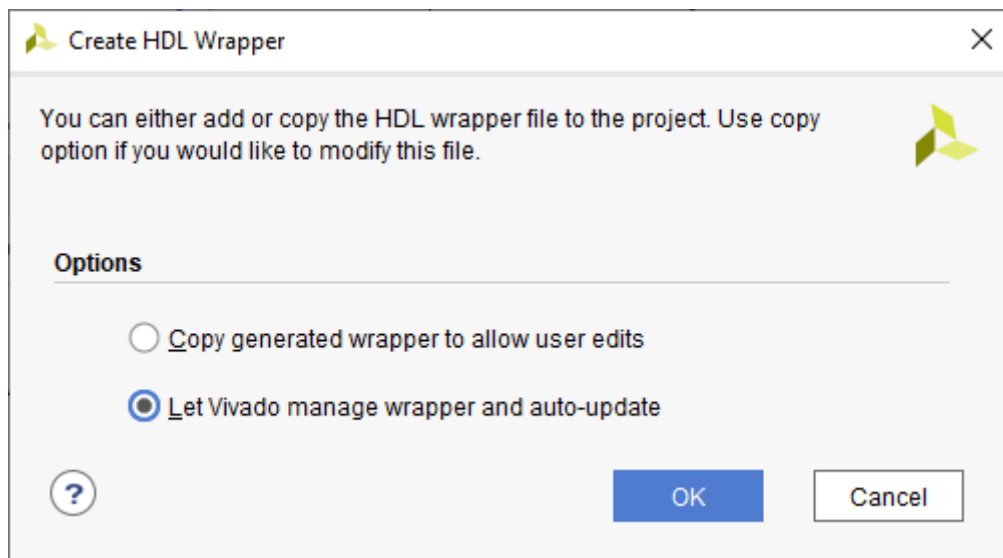


*Finish* anklicken.

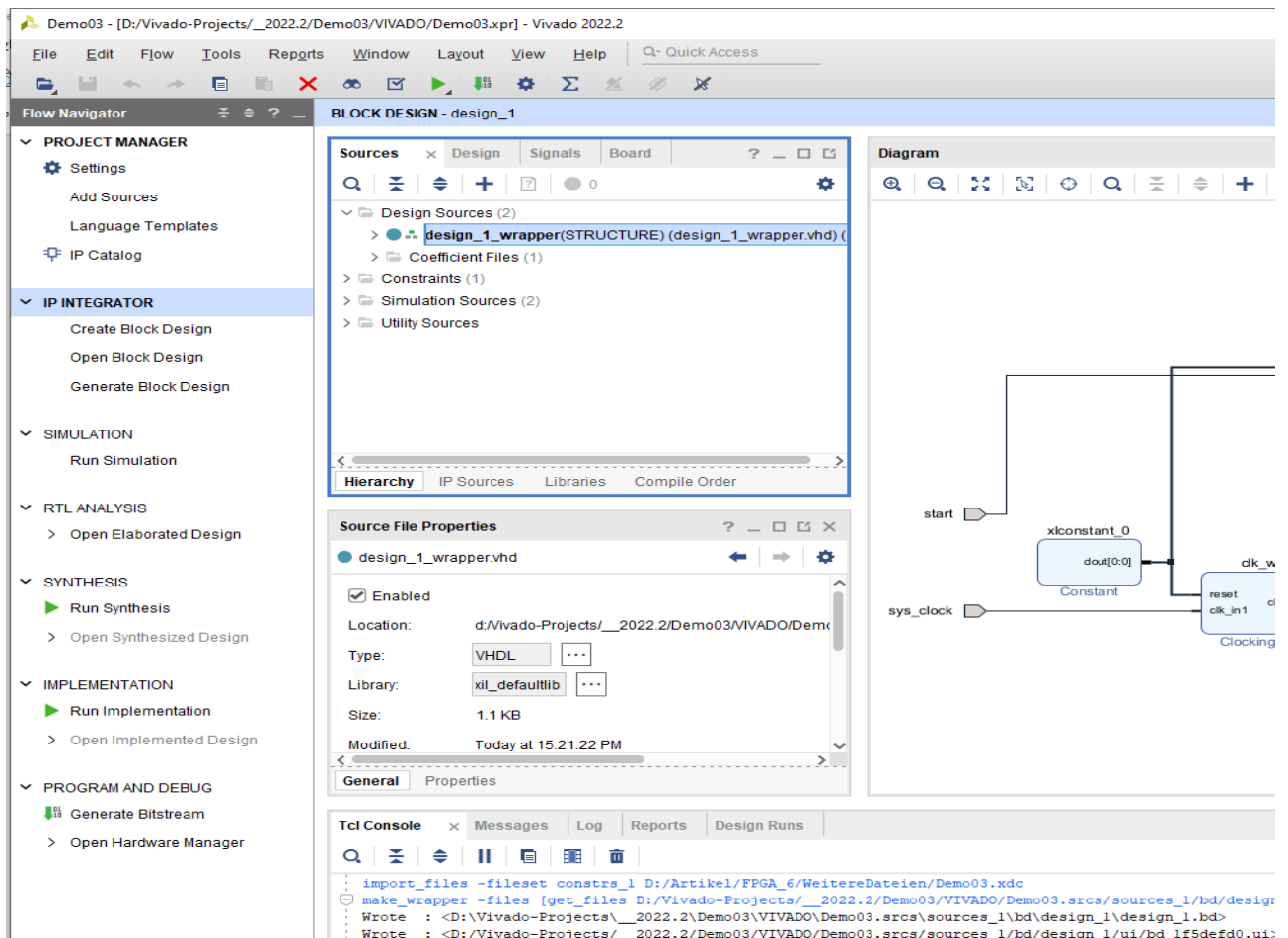




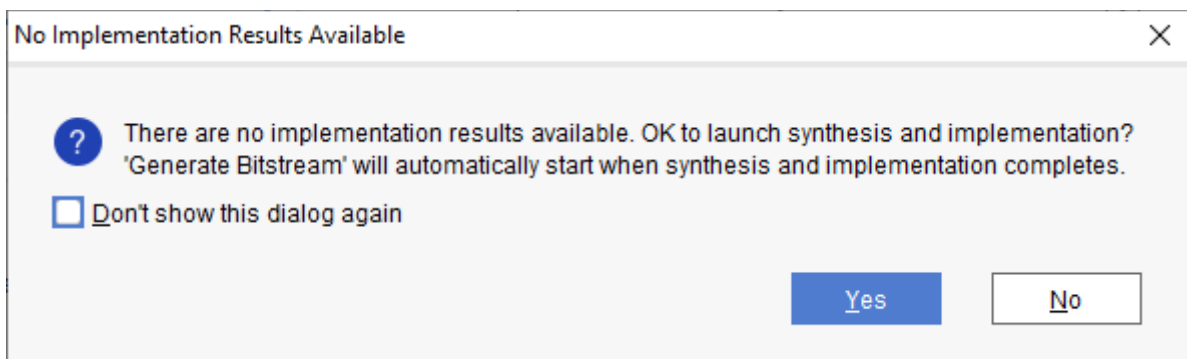
Im Fenster *Sources* die Eintragung *design\_1* mit der rechten Maustaste anklicken und im Kontextmenü den Befehl *Create HDL Wrapper...* aufrufen.



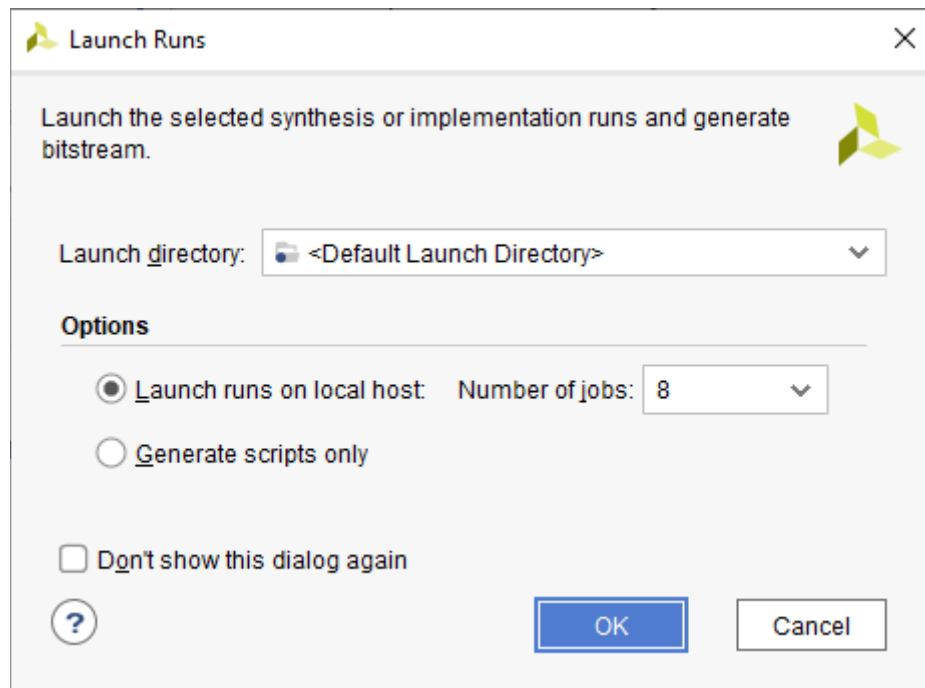
Die Option *Let Vivado manage wrapper and auto-update* auswählen, dann *OK* anklicken.



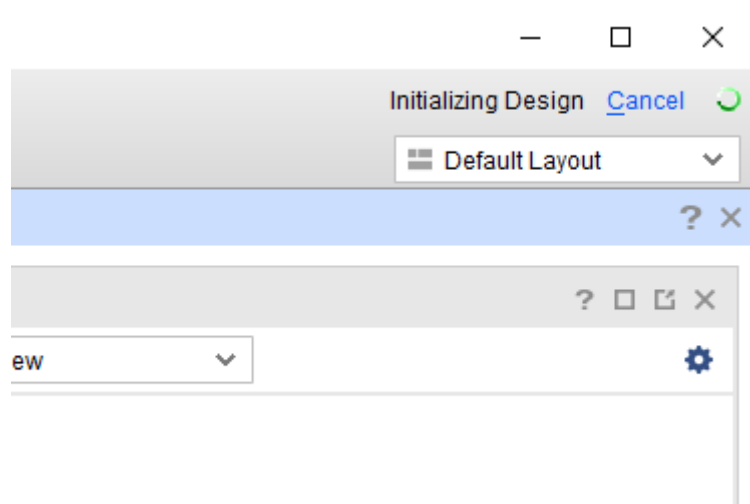
Nach kurzer Wartezeit ist der Wrapper erstellt worden. Nun im Flow Navigator: Befehl *Generate Bitstream* aufrufen (unten links).



Schaltfläche Yes anklicken



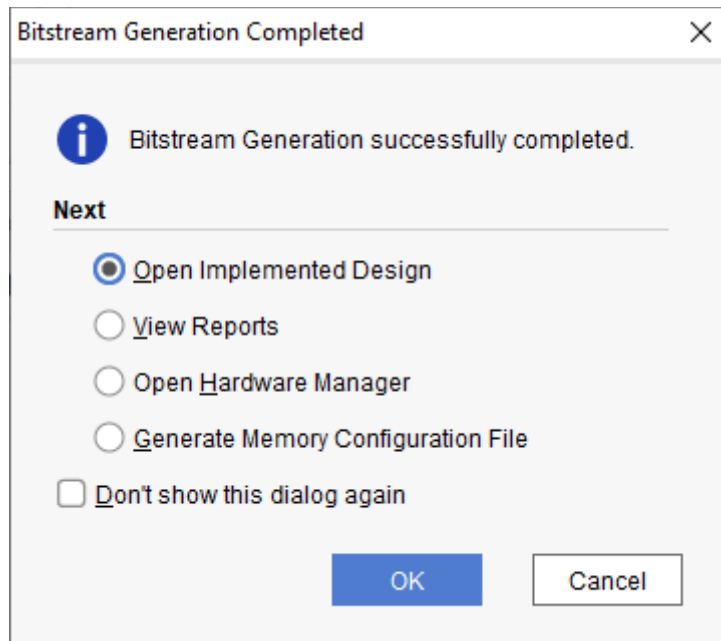
Schaltfläche *OK* anklicken und warten...



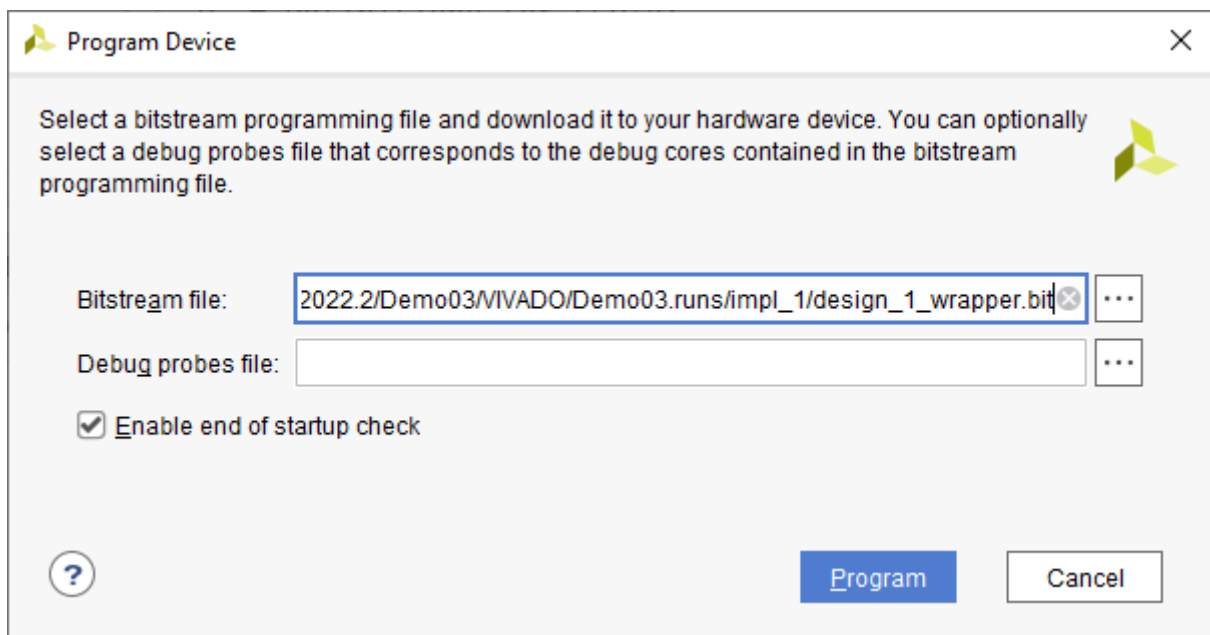
Die Übersetzung kann (**wenn nötig**) oben rechts mit *Cancel* abgebrochen werden.

In der Wartezeit kann das FPGA-Board angeschlossen und eingeschaltet werden.

Nach dem Warten...



*Cancel* anklicken. Im Flow Manager: *Open Hardware Manager*, *Open Target* und *Auto Connect* aufrufen. Danach *Program Device* und *xc7a35t\_0* aufrufen.



Schaltfläche *Program* anklicken. Fertig!

Zum Testen der Anwendung muss nun der Taster BTNC (in der Mitte) gedrückt werden. Danach zeigen die LED's den Ergebniswert an.